

Electronics and electrical engineering Elektronika ir elektros inžinerija

2D VERNIER ŽIEDINIO LAIKINIO SKAITMENINIO KEITIKLIO MODELIS

Marijan JURGO*, Romualdas NAVICKAS

Vilniaus Gedimino technikos universitetas, Vilnius, Lietuva

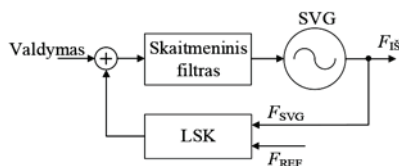
Gauta 2018 m. birželio 13 d.; priimta 2018 m. birželio 20 d.

Santrauka. Darbe aprašomas 2D Vernier žiedinio laikinio skaitmeninio keitiklio (LSK), skirto fazės detektoriumi visiškai skaitmeninės struktūros dažnio sintetizatoriuje, modelis, įgyvendintas vartojant VHDL aparatūros programavimo kalbą. LSK sudarytas iš dviejų skirtingo dažnio žiedinių generatorių, arbitrų matricos, valdymo bloko, frontų ir periodų skaitiklių bei išėjimo dekoderio. Dviejų žiedinių generatorių struktūros yra vienodos. Jie sudaryti iš trijų pakopų žiedinių generatorių, kurių dažnis valdomas keičiant lygiagrečiai sujungtų generatoriaus sekcijų skaičių. Metastabilumo langui sumažinti arbitrais naudojami lygiu valdomi SR trigeriai ir D tipo frontu valdomi trigeriai. Taip pat dėl simetriškos SR trigerio struktūros tokie arbitrai vienodai apkrauna abu generatorius. Siūlomos struktūros LSK leidžia matuoti laiko trukmę, mažesnę nei vieno inverterio vėlinimo trukmė. Be to, 2D struktūros LSK rezultato apskaičiavimo trukmė yra mažesnė nei 1D struktūros LSK.

Reikšminiai žodžiai: 2D Vernier, laikinis skaitmeninis keitiklis, skiriamoji geba, žiedinis generatorius.

Įvadas

Tobulėjant integrinių grandynų gamybos technologijoms ir mažėjant technologiniam žingsniui, kartu populiarėja visiškai skaitmeniniai dažnio sintetizatoriai (DS) (Jurgo ir Navickas, 2016). Supaprastinta tokio sintetizatoriaus struktūrinė schema pateikta 1 paveiksle. Vienas pagrindinių visiškai skaitmeninių DS blokų yra laikinis skaitmeninis keitiklis (LSK). Jis atlieka fazės detektoriaus funkciją – keičia laiko trukmę tarp sintetizatoriuje generuojamo (F_{IS}) ir sintetizatoriaus atraminio (F_{REF}) signalų frontų į skaitmeninę išraišką (Staszewski, Vemulapalli, Vallur, Wallberg, & Balsara, 2006).



1 paveikslas. Supaprastinta visiškai skaitmeninio dažnio sintetizatoriaus struktūra: SVG – skaitmeniniu būdu valdomas generatorius; LSK – laikinis skaitmeninis keitiklis
Figure 1. Simplified structure of all-digital frequency synthesizer: SVG – digitally controlled oscillator (DCO); LSK – time to digital converter (TDC)

Paties paprasčiausio LSK pagrindas yra vėlinimo linija (Staszewski et al., 2006; Effendrik, Jiang, van de Gevel, Verwaal, & Staszewski, 2011). Ja sklinda DS generuojamas signalas, o atraminio signalo frontu fiksuojama suvėlinto DS generuojamo signalo būsena po kiekvieno vėlinimo elemento. LSK išėjime gaunamas pseudotermometrinis kodas, kurį iškodavus, gaunama informacija apie laiko trukmę, skiriančią atraminio ir generuojamo signalo frontus. Vėlinimo elementais dažniausiai naudojami inverteriai. Todėl tokių LSK mažiausia išmatuojama laiko trukmė t_{res} yra lygi inverterio vėlinimo trukmei t_{inv} .

LSK išėjimo signalas yra skaitmeninis ir dėl diskretiškumo, kuris priklauso nuo LSK skiriamosios gebos, yra veikiamas dažnio sintetizatoriaus išėjimo fazės triukšmo lygis (Staszewski, Waheed, Dülger, & Eliezer, 2011). Taigi, norint gerinti DS išėjimo fazės triukšmo lygį, reikia gerinti LSK skiriamąją gebą, kuri yra atvirkščiai proporcinga mažiausiai išmatuojamai laiko trukmei. Tą atlikti galima tobulinant taikomą KMOP technologiją arba tobulinant LSK struktūrą.

Yra kelios LSK struktūros, kuriomis galima išmatuoti laiko trukmę, mažesnę nei inverterio vėlinimo trukmė. Viena iš jų – Vernier LSK. Tokiame LSK naudojamos dvi vėlinimo linijos, sudarytos iš skirtingos vėlinimo trukmės

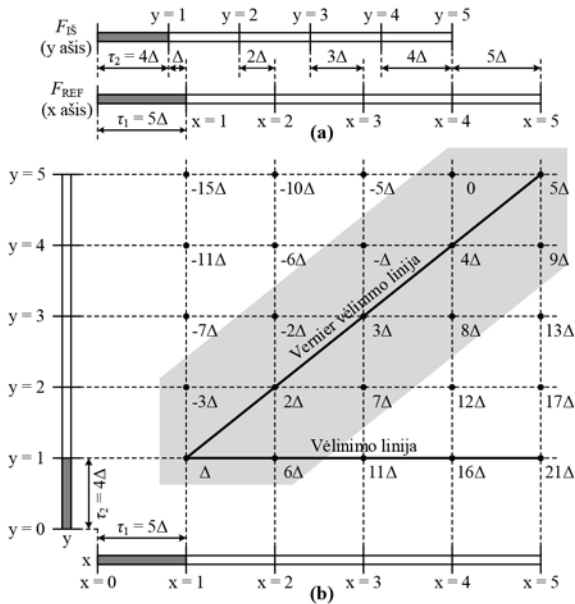
*Autorius susirašinėti. El. paštas marijan.jurgo@vgtu.lt

elementų (2 paveikslas, a). Jomis sklinda DS generuojamas ir atraminis signalai, o arbitrai fiksuoja signalo lygius abiejose vėlinimo linijose po kiekvieno vėlinimo elemento, ir ieškomas taškas, kai generuojamas signalas aplenkia atraminį signalą (Vercesi, Liscidini, & Castello, 2010). Tokio LSK mažiausia išmatuojama laiko trukmė lygi vėlinimo linijas sudarančių elementų vėlinimo trukmių skirtumui:

$$t_{res} = \Delta = \tau_1 - \tau_2, \quad (1)$$

čia τ_1 ir τ_2 – dvi vėlinimo linijas sudarančių elementų vėlinimo trukmės.

Kita Vernier LSK atmaina – dviejų dimensijų (2D) Vernier LSK. Jame taip pat naudojamos dvi vėlinimo linijos, kuriomis sklinda DS generuojamas ir atraminis signalai, tačiau jos tarsi paguldytos X ir Y ašyse, taip gaunant Vernier plokštumą (2 paveikslas, b). Arbitrai šiuo atveju stebi signalo lygius ne tik po atitinkamų vėlinimo linijos elementų, bet ir visas jų kombinacijas (Vercesi et al., 2010). Tokio LSK mažiausia išmatuojama laiko trukmė gali būti lygi vėlinimo linijas sudarančių elementų vėlinimo trukmių didžiausiam bendrajam dalikliui. Pavyzdžiui, jei vėlinimo liniją sudarančių elementų vėlinimo trukmės lygios 3Δ ir 5Δ , 1D Vernier LSK mažiausia išmatuojama laiko trukmė būtų lygi $5\Delta - 3\Delta = 2\Delta$, o 2D Vernier LSK – Δ . Tačiau tokio LSK trūkumas pasireiškia norint išmatuoti ilgą laiko trukmę. Tokiu atveju reikalingos ilgos vėlinimo linijos ir didelės arbitrų palyginimo matricos, kadangi arbitrų skaičius yra lygus dvi vėlinimo linijas sudarančių vėlinimo elementų skaičių sandaugai. Šią problemą galima išspręsti vėlinimo linijas uždarant ratu, t. y. vėlinimo linijas keičiant žiediniais generatoriais (Lu, Wu, & Andreani, 2016).



2 paveikslas. LSK – Vernier vėlinimo linijos (a) ir 2D Vernier vėlinimo linijos (b) palyginimas

Figure 2. TDC – Comparison of Vernier delay line (a) and 2D Vernier delay line (b)

Kitame skyriuje aptarsime siūlomą 2D Vernier laikinio skaitmeninio keitiklio struktūrą, kurios pagrindas yra žiediniai generatoriai.

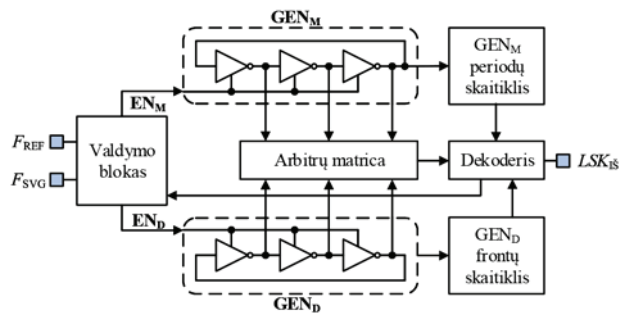
1. 2D Vernier žiedinis laikinis skaitmeninis keitiklis

Siūlomo LSK struktūra yra pateikta 3 paveiksle. Ją sudaro mažesnio dažnio generatorius GEN_M , didesnio dažnio generatorius GEN_D , mažesnio dažnio generatoriaus periodų skaitiklis, didesnio dažnio generatoriaus frontų skaitiklis, arbitrų matrica, dekoderis ir valdymo blokas. Šio LSK modelis yra realizuotas VHDL aparatūros programavimo kalba. Toliau detaliau aptarsime LSK sudarančius blokus, veikimą ir modeliavimo rezultatus.

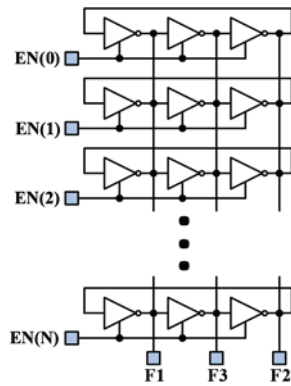
Žiediniai generatoriai. Mažesnio ir didesnio dažnio žiediniai generatoriai yra vienodi. Jie sudaryti iš N lygiagrečiai sujungtų trijų pakopų žiedinių inverterinių generatorių (4 paveikslas). Jų dažnis keičiamas įjungiant arba išjungiant atskiras generatoriaus sekcijas. Taigi abiejų generatorių skirtingi dažniai gaunami įjungiant skirtingą skaičių generatoriaus sekcijų.

Įjungti žiediniai generatoriai patys generuoja periodinę signalą. Tačiau šiuo atveju generatorius įjungiamas tik tada, kai gaunamas atraminio arba DS generuojamo signalo kylantis frontas ir žiedinis generatorius traktuojamas begaline vėlinimo linija. LSK išėjimui apskaičiuoti reikia žinoti, kiek vėlinimo elementų (generatoriaus pakopų) perėjo signalas. Tam naudojami periodų skaitikliai, skaičiuojantys generatoriaus periodus (apsisukimus), ir frontų skaitikliai, skaičiuojantys generatoriaus frontus vieno periodo intervale. Iš abiejų skaitiklių galima apskaičiuoti bendrą pereitų vėlinimo elementų skaičių.

Laiko trukmei tarp LSK įėjimo signalų kylančių frontų matuoti naudojami tik LSK generatorių signalų kylantys frontai. Kadangi signalas invertuojamas po kiekvienos pakopos, skaičiuoti naudojami frontai (fazės) išsidėstę ne paeiliui, t. y. F1, F3, F2.



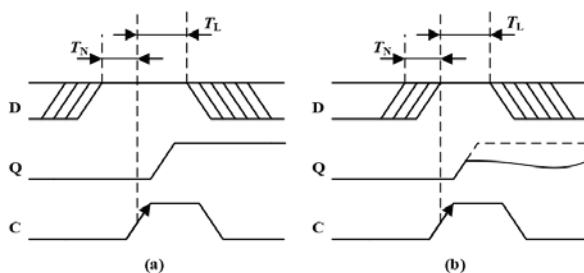
3 paveikslas. Siūlomo 2D Vernier žiedinio laikinio skaitmeninio keitiklio struktūra: GEN_M – mažesnio dažnio generatorius; GEN_D – didesnio dažnio generatorius
Figure 3. Structure of proposed 2D Vernier time to digital converter based on gated ring oscillators: GEN_M – lower frequency oscillator; GEN_D – higher frequency oscillator



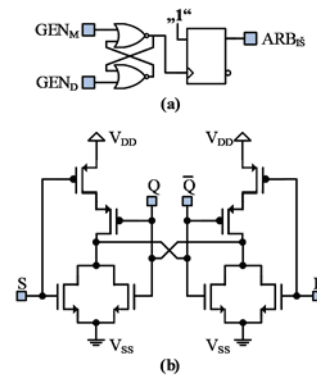
4 paveikslas. Žiedinio generatoriaus struktūra
Figure 4. Structure of gated ring oscillator

Arbitrai. Arbitrais laikiniuose skaitmeniniuose keitikliuose dažnai naudojami frontu valdomi D tipo trigeriai. Tačiau, kaip žinoma, taisyklingam frontu valdomo trigerio veikimui duomenų signalas turi būti pastovus trigerio nustatymo (T_N) ir laikymo (T_L) intervaluose (5 paveikslas). Jei duomenų signalas pakinta šiame laiko intervale, trigeris gali pereiti į metastabilią būseną, kai jo išėjimas gali nusistovėti į bet kurią būseną arba net likti ties tarpine verte.

Metastabilumo langui (laiko trukmei $T_N + T_L$) sumažinti arbitru naudojami lygiu valdomi SR trigeriai, kurių tiesioginis išėjimas naudojamas D tipo frontu valdomo trigerio taktavimo signalu (6 paveikslas, a) (Lu, Liscidini, & Andreani, 2012). D tipo frontu valdomo trigerio metastabilumas pašalinamas jo duomenų įėjimo signalą nuolat įjungus į aukštą loginį lygį, o SR trigeris yra valdomas frontu, todėl net kai dviejų įėjimo signalų frontai yra arti vienas kito, šis trigeris įgis fiksuotą vertę. Be to, dėl simetriškos struktūros SR trigeris, sudarytas iš ARBANE arba IR-NE loginių elementų, vienodai apkrauna abu generatorius (6 paveikslas, b). Reikėtų atkreipti dėmesį, kad D tipo fronto valdomo trigerį reikia nustatyti į pradinę vertę prieš pradėdamat matuoti, nes jo išėjimo signalas pats negali pereiti į žemo loginio lygio būseną, nes jo duomenų įėjimo signalas pastovus, įjungtas į aukštą loginį lygį.

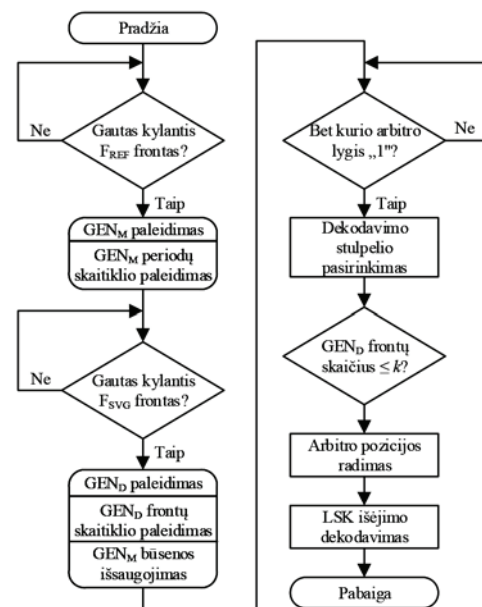


5 paveikslas. Metastabilumas D tipo frontu valdomame trigeryje: taisyklingas veikimas (a) ir trigerio metastabilioji būseną (b)
Figure 5. Metastability in D type flip-flop: correct operation (a) and metastable state of flip-flop (b)



6 paveikslas. Arbitro struktūra (a) ir SR lygiu valdomas trigeris iš ARBA-NE loginių elementų (b)
Figure 6. Structure of the arbiter (a) and SR latch made of NOR gates (b)

LSK veikimas. Siūlomo LSK valdymo algoritmas parodytas 7 paveiksle. LSK matuoja tik teigiamas laiko trukmes, t. y. tokias, kai atraminis signalas atkeliauja pirmas. Taigi matavimo pradžioje LSK laukia kylancio atraminio signalo fronto. Kai jis gaunamas, įjungiamas mažesnio dažnio generatorius ir jo periodų skaitiklis. Paskui laukiamas generuojamo signalo kylantis frontas ir kai jis gaunamas, išsaugoma mažesnio dažnio generatoriaus pozicija (signalu lygiai po kiekvieno generatoriaus inverterio), įjungiamas didesnio dažnio generatorius ir jo frontų skaitiklis. Kai abu generatoriai paleisti, tikrinamos arbitro išėjimo būsenos. Kai bent vieno arbitro išėjimo būseną pakinta į aukštą loginį lygį, ieškoma arbitro pozicija ir priklausomai nuo jos yra dekoduojamas LSK išėjimo signalas.



7 paveikslas. Siūlomo laikinio skaitmeninio keitlikio valdymo algoritmas
Figure 7. Control algorithm of proposed time to digital converter

Ypatingas 2D Vernier atvejis gaunamas, kai dviejų generatorių pakopų (arba vėlinimo linijas sudarančių inverterių) vėlinimo trukmės yra susietos tokia priklausomybe (Lu, Wu, & Andreani, 2016):

$$\Delta = \tau_{res} = \tau_1 - \tau_2; \quad \tau_1 = k \cdot \Delta; \quad \tau_2 = (k-1) \cdot \Delta, \quad (2)$$

čia τ_1 ir τ_2 – atitinkamai mažesnio ir didesnio dažnio generatoriaus pakopų vėlinimo trukmės. Koeficientas k turi būti parenkamas priklausomai nuo turimų τ_1 ir τ_2 verčių, kad būtų tenkinama ši priklausomybė.

Tokiu atveju 2D Vernier LSK skiriamoji geba (ir mažiausia išmatuojama laiko trukmė) yra lygi 1D Vernier LSK, bet gauname nuoseklią LSK išėjimo laiko atskaitų plokštumą, kurios vertės apskaičiuojamos taip:

$$LSK_{IS} = k \cdot X - (k-1) \cdot Y, \quad (3)$$

čia X ir Y – laiko atskaitų plokštumos koordinatės, nusakančios, keliomis atitinkamai mažesnio ir didesnio dažnio generatoriaus pakopomis nuskliido signalas.

Apskaičiuotos LSK išėjimo atskaitų plokštumos dalis, kai koeficientas k yra lygus 10, parodyta 8 paveiksle. GEN_{MP} ir GEN_{DP} yra atitinkamai mažesnio ir didesnio dažnio žiedinio generatoriaus periodų (apsisukimų) skaičius. GEN_{MF} ir GEN_{DF} yra atitinkamai mažesnio ir didesnio dažnio žiedinio generatoriaus frontų skaičius viename periode. Paveiksle žaliai pažymėta dalis naudojama LSK išėjimui skaičiuoti. Pilkai pažymėta dalis nenaudojama skaičiuoti – tai neigiamų laiko trukmių dalis, kuri praktiškai nėra matuojama. Baltai pažymėta plokštumos dalis gali būti naudojama LSK išėjimui skaičiuoti, jei reikia nustatyti kitokią koeficiento k reikšmę, pvz.: jei $k = 15$, žalia plokštumos dalis pirmoje įstrižainėje kiltų iki 15, perskaičiuota antra įstrižainė įgautų reikšmes nuo 16 iki 30, trečia įstrižainė – nuo 31 iki 45 ir t. t.

Dar vienas 2D Vernier LSK privalumas – greičiau apskaičiuojamas išėjimo signalas, lyginant su 1D struktūra. Siūlomos struktūros LSK rezultato apskaičiavimo trukmė T_{REZ2D} galime išreikšti taip:

$$T_{IN} + \tau_2 \leq T_{REZ2D} \leq T_{IN} + k \cdot \tau_2, \quad (4)$$

čia T_{IN} – LSK įėjimo laiko trukmė.

GEN_{DF}	GEN_{DP}	Y																
4	3	15	-125	-115	-105	-95	-85	-75	-65	-55	-45	-35	-25	-15	-5	5	15	
	2	14	-116	-106	-96	-86	-76	-66	-56	-46	-36	-26	-16	-6	4	14	24	
	1	13	-107	-97	-87	-77	-67	-57	-47	-37	-27	-17	-7	3	13	23	33	
3	3	12	-98	-88	-78	-68	-58	-48	-38	-28	-18	-8	2	12	22	32	42	
	2	11	-89	-79	-69	-59	-49	-39	-29	-19	-9	1	11	21	31	41	51	
	1	10	-80	-70	-60	-50	-40	-30	-20	-10	0	10	20	30	40	50	60	
2	3	9	-71	-61	-51	-41	-31	-21	-11	-1	9	19	29	39	49	59	69	
	2	8	-62	-52	-42	-32	-22	-12	-2	8	18	28	38	48	58	68	78	
	1	7	-53	-43	-33	-23	-13	-3	7	17	27	37	47	57	67	77	87	
1	3	6	-44	-34	-24	-14	-4	6	16	26	36	46	56	66	76	86	96	
	2	5	-35	-25	-15	-5	5	15	25	35	45	55	65	75	85	95	105	
	1	4	-26	-16	-6	4	14	24	34	44	54	64	74	84	94	104	114	
0	3	3	-17	-7	3	13	23	33	43	53	63	73	83	93	103	113	123	
	2	2	-8	2	12	22	32	42	52	62	72	82	92	102	112	122	132	
	1	1	1	11	21	31	41	51	61	71	81	91	101	111	121	131	141	
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	X
			1	2	3	1	2	3	1	2	3	1	2	3	1	2	3	GEN_{MF}
			0															GEN_{MP}

8 paveikslas. 2D Vernier laikinio skaitmeninio keitiklio išėjimo apskaičiavimo plokštuma

Figure 8. Output calculation plane of 2D Vernier time to digital converter

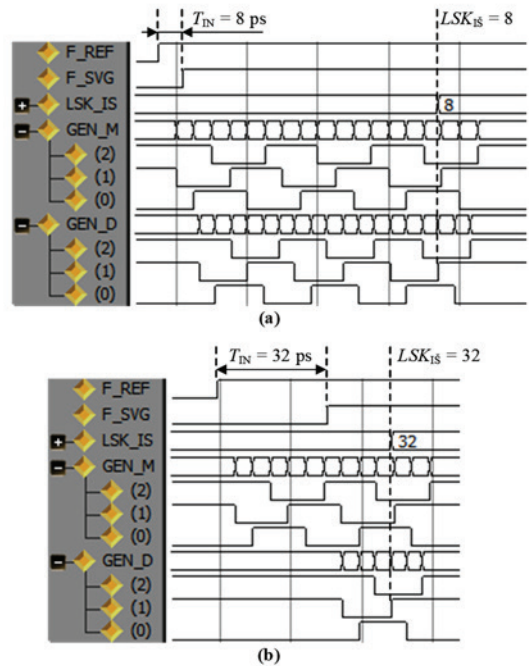
Kaip matyti iš (4) ir 8 paveikslo, siūlomos struktūros LSK rezultato apskaičiavimo trukmė netiesiškai priklauso nuo įėjimo laiko trukmės T_{IN} . Maksimali laiko trukmė, per kurią gaunamas rezultatas, yra lygi $T_{IN} + k \cdot \tau_2$, t. y. nuo generuojamo signalo fronto gavimo momento šis signalas turi nusklisti per k didesnio dažnio generatoriaus pakopas. 1D Vernier LSK rezultatas gaunamas po:

$$T_{REZ1D} = T_{IN} + \frac{T_{IN}}{\Delta} \cdot \tau_1. \quad (5)$$

čia T_{IN} – LSK įėjimo laiko trukmė.

Jei $\tau_1 = 10$ ps, $\tau_2 = 9$ ps ir LSK įėjimo laiko trukmė yra 105 ps, iš (4) ir (5) gauname, kad, naudojant siūlomos struktūros LSK, rezultatas bus gautas po 150 ps, o 1D Vernier LSK rezultatas bus apskaičiuotas tik po 1155 ps. Taip yra todėl, kad 1D Vernier atveju arbitrai fiksuoja signalų būsenas tik tarp atitinkamų generatoriaus (arba vėlinimo linijos) pakopų. Per vieną generatoriaus pakopą laiko trukmė tarp atraminio ir generuojamo signalų frontų yra sumažinama Δ ps. Taigi, gavus generuojamo signalo frontą, signalai turi nusklisti per T_{IN}/Δ mažesnio dažnio generatoriaus pakopų, kad generuojamo ir atraminio signalų frontai susilygintų.

Modeliavimo rezultatai. LSK buvo modeliuojamas naudojant „ModelSim“ programinę įrangą. 9 paveiksle pateikti modeliavimo rezultatai ir pagrindiniai LSK signalai, kai τ_1 ir τ_2 atitinkamai nustatyti į 10 ps ir 9 ps. Kaip matyti iš 9 pav., b, kai įėjimo laiko trukmė yra lygi 8 ps, LSK rezultatas gaunamas, kai didesnio dažnio generatoriaus



9 paveikslas. 2D Vernier laikinio skaitmeninio keitiklio modeliavimo rezultatai, kai τ_1 ir τ_2 atitinkamai lygūs 10 ps ir 9 ps, o T_{IN} lygus 8 ps (a) ir 32 ps (b)

Figure 9. Modeling results of 2D Vernier time to digital converter when τ_1 ir τ_2 respectively equal to 10 ps and 9 ps and T_{IN} is equal to 8 ps (a) ir 32 ps (b)

aštuntas frontas aplenkia mažesnio dažnio generatoriaus aštuntą frontą. Kai LSK įėjimo laiko trukmė yra lygi 32 ps, LSK rezultatas gaunamas, kai antras didesnio dažnio generatoriaus frontas aplenkia penktą mažesnio dažnio generatoriaus frontą.

Išvados

Sudarytas 2D Vernier žiedinio laikinio skaitmeninio keitiklio modelis, leidžiantis išmatuoti laiko trukmę, mažesnę nei inverterio vėlinimo trukmę, ir jo valdymo algoritmas.

Pagrindiniai LSK sudarantys blokai yra šie: du trijų pakopų žiediniai generatoriai, kurių dažnis valdomas keičiant lygiagrečiai sujungtų generatoriaus sekcijų skaičių; arbitrų matrica, sudaryta iš lygiu valdomų SR ir frontu valdomų D tipo trigerių; valdymo blokas, frontų ir periodų skaitikliai bei dekoderis.

Siūlomos struktūros LSK įėjimo laiko trukmės matavimas yra greitesnis nei 1D Vernier struktūros LSK: jei mažesnio ir didesnio dažnio generatoriaus pakopų vėlinimo trukmės atitinkamai lygios 10 ps ir 9 ps, o LSK įėjimo laiko trukmė yra 105 ps, naudojant siūlomos struktūros LSK rezultatas bus gautas po 150 ps, o 1D Vernier LSK rezultatas bus apskaičiuotas tik po 1155 ps.

Literatūra

- Effendrik, P., Jiang, W., van de Gevel, M., Verwaal, F., & Staszewski, R. B. (2011, August). Time-to-digital converter (TDC) for WiMAX ADPLL in 40 nm CMOS. *20th European Conference on Circuit Theory and Design (ECCTD)* (pp. 365-368). Linköping, Sweden. <https://doi.org/10.1109/ECCTD.2011.6043362>
- Jurgo, M., & Navickas, R. (2016). Dažnio sintezatorių daugiastandarčiams bevielio ryšio siųstuvams ir imtuvams analizė. *Mokslas – Lietuvos Ateitis / Science – Future of Lithuania*, 8(3), 302-307. <https://doi.org/10.3846/mla.2016.931>
- Lu, P., Liscidini, A., & Andreani, P. (2012). A 3.6 mW, 90 nm CMOS Gated-Vernier Time-to-Digital converter with an equivalent resolution of 3.2 ps. *IEEE Journal of Solid-State Circuits*, 47(7), 1626-1635. <https://doi.org/10.1109/JSSC.2012.2191676>
- Lu, P., Wu, Y., & Andreani, P. (2016). A 2.2-ps Two-dimensional gated-vernier time-to-digital converter with digital calibration. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 63(11), 1019-1023. <https://doi.org/10.1109/TCSII.2016.2548218>
- Staszewski, R. B., Vemulapalli, S., Vallur, P., Wallberg, J., & Balsara, P. T. (2006). 1.3 V 20 ps Time-to-digital converter for frequency synthesis in 90-nm CMOS. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 53(3), 220-224. <https://doi.org/10.1109/TCSII.2005.858754>
- Staszewski, R. B., Waheed, K., Dülger, F., & Eliezer, O. E. (2011). Spur-free multirate all-digital PLL for mobile phones in 65 nm CMOS. *IEEE Journal of Solid-State Circuits*, 46(12), 2904-2919. <https://doi.org/10.1109/JSSC.2011.2162769>
- Vercesi, L., Liscidini, A., & Castello, R. (2010). Two-dimensions vernier time-to-digital converter. *IEEE Journal of Solid-State Circuits*, 45(8), 1504-1512. <https://doi.org/10.1109/JSSC.2010.2047435>

THE MODEL OF 2D VERNIER TIME TO DIGITAL CONVERTER BASED ON GATED RING OSCILLATORS

M. Jurgo, R. Navickas

Abstract

In this paper, the model of 2D Vernier time to digital converter (TDC) based on gated ring oscillators, which is implemented using VHDL hardware description language, is presented. Such TDC can be used as a phase detector in all-digital frequency synthesizers. TDC is composed of two gated ring oscillators of different frequency, arbiters' matrix, control block, edge and lap counters and output decoder. Two ring oscillators share same structure – they are made of parallel-connected three-stage gated ring oscillators. Different frequency is obtained by switching different number of sections of the oscillator. To decrease the metastability window of the arbiters, SR latches and D flip-flops are used as arbiters. Also, due to symmetric topology of SR latch, such arbiters equally load both oscillators. Proposed TDC can measure time interval which is lower than inverter delay. Furthermore, the output of TDC employing 2D structure is calculated faster, compared to 1D TDC.

Keywords: 2D Vernier, resolution, ring oscillator, time to digital converter.