



AUTOMATIZUOTOJO INTEGRINIŲ ANALOGINIŲ FILTRŲ PROJEKTAVIMO YPATUMAI

Karolis KIELA¹, Romualdas NAVICKAS²

Vilniaus Gedimino technikos universitetas

El. paštas: ¹karolis.kiela@dok.vgtu.lt; ²romualdas.navickas@vgtu.lt

Santrauka. Atlikta naujausių integrinių analoginių grandynų automatizuotojo projektavimo metodų ir jų taikymo projektuojant integrinius filtras analizė. Modernios analoginių grandynų automatizavimo priemonės yra grindžiamos esamos topologijos optimizacijos algoritmais ir/arba naujų elektroninių principinių schemų generavimo būdais. Didžioji dauguma literatūroje aprašytų automatizuotojo integrinių filtrų projektavimo metodų yra skirti tik *gm-C* arba perjungiamos srovės/talpos topologijos filtrams. Darbe siūlomas naujas integrinių aktyviųjų RC filtrų projektavimo algoritmas, įvertinantis integrinių technologijų elementų nuokrypį. Jis patikrintas suprojektavus integrinį aktyvųjį RC filtrą taikant 65 nm KMOP technologiją ir *Cadence* programinį paketą.

Reikšminiai žodžiai: integrinis filtras, automatizavimas, KMOP, aktyvusis RC filtras, optimizacija.

Įvadas

Analoginių integrinių grandynų (AIG) sudėtingėjimas tampa viena iš didžiausių kliūčių projektuojant vienlutes (angl. *System-on-Chip, SoC*) ar korpusuotas sistemas (angl. *System-in-Package, SiP*). Vienos iš sudėtingiausių SoC yra daugiastandarčiai siųstuvai-imtuvai (DSI), kuriuose integruojami analoginiai ir skaitmeniniai blokai. Sparčiai vystantis integrinėms technologijoms, analoginių blokų projektavimo pagal skirtingas technologijas (jos skiriasi savo minimaliu technologiniu žingsniu) trukmė ir/arba projektuotojų poreikis didėja.

Turint mintyje tranzistoriaus minimalaus matmens mažėjimo dėsnį, kurį dar 1965 m. aprašė G. E. Motore'as, pramoninėje gamyboje metalo-oksido-puslaidininkio (MOP) tranzistoriaus kanalo ilgis jau siekia 14 nm. Esant tokiam trumpam kanalui, reikia įvertinti fizikinius dėsnius ir parazitinius integrinių elementų tarpusavio poveikius, kurie ilgakanalių MOP tranzistorių nebuvo skaičiuojami (Navickas, Barzdėnas 2012). Dabar, kai minimalus matmuo yra mažesnis nei 200 nm, kuriant modernius integrinių grandynų (IG) technologijos modelius turi būti atsižvelgiama į krūvininkų greičio sotinimą, užtūros sukeltus santakos srovės nuotėkius, tranzistoriaus atsidarymo įtampos kitimą dėl santakos įtampos pokyčio, savaiminį šilimą ir kitus efektus (Lee 2004).

Kompiuterinės IG projektavimo ir skaičiavimo programos naudoja sudėtingus MOP tranzistorių modelius, įver-

tinančius daugumą dėl mažo tranzistoriaus kanalo ilgio atsirandančių efektų. IG modelių standartus prižiūrinčios organizacijos *CMC* (angl. *Compact Model Council*) rekomenduoja naudoti tris plačiausiai paplitusius MOP tranzistorių modelius:

- Berklio (JAV) universiteto *BSIM*;
- Delfto technologijos (Olandija) universiteto *PSP*;
- Hirošimos (Japonija) universiteto *HiSIM*.

Dažniausiai literatūroje minimos siūlomos automatizuotosios AIG projektavimo programos būna įgyvendintos kaip didelės integrinių grandynų projektavimo paketų programės ir naudoja šiuos tranzistoriaus modelius atliekant suprojektuotų įtaisų patikrą.

Darbo struktūra: remiantis toliau pateikiamais literatūros duomenimis, apžvelgiami AIG ir integrinių analoginių filtrų projektavimo metodai ir priemonės, sudaromas automatizuotojo integrinių aktyviųjų RC filtrų projektavimo algoritmas ir juo remiantis suprojektuojamas integrinis aktyvusis RC filtras.

Automatizuotasis AIG projektavimas

Automatizuotasis AIG projektavimas gali būti atliekamas dviem būdais:

- generuojant naują AIG;
- optimizuojant žinomos struktūros AIG.

Pirmu atveju AIG elektrinė principinė schema generuojama iš elementarių blokų – tranzistorių, srovės veidrodžių ar diferencinių porų. Tokio automatizuotojo projektavimo metu gali būti gautos nestandartinės, plačiai nepaplitusios struktūros. Generuojant naujus AIG dažnai naudojami neraiškiaja logika (angl. *Fuzzy logic*) grįsti algoritmai (Das, Vemuri 2009). Didžiausias tokio automatizuotojo projektavimo trūkumas yra ilga AIG generavimo trukmė.

Labiausiai paplitę automatizuotojo AIG projektavimo metodai yra grįsti žinomos struktūros elementų verčių optimizavimu. Optimizavimo metu pagal nustatytą algoritmą keičiami tranzistorių, rezistorių, kondensatorių parametrai tol, kol atrandama jų kombinacija, atitinkanti užsibrėžtas technines charakteristikas. AIG optimizacija skirstoma į 4 tipus (Lourenco, Horta 2012):

1. *Grindžiama eksperimentu ir inžinerine patirtimi.*

Šie metodai paprastai sudaryti inžinierių, kurie remiasi savo patirtimi ir matavimų rezultatais. Nors šis AIG optimizavimo būdas turi aiškia struktūrą, taip sudarytos programos nėra labai lanksčios, jų tikslumą riboja programos sudarytojo gebėjimai ir integrinės technologijos sudėtingumas.

2. *Optimizavimas sprendžiant analizinius modelius ir lygtis.*

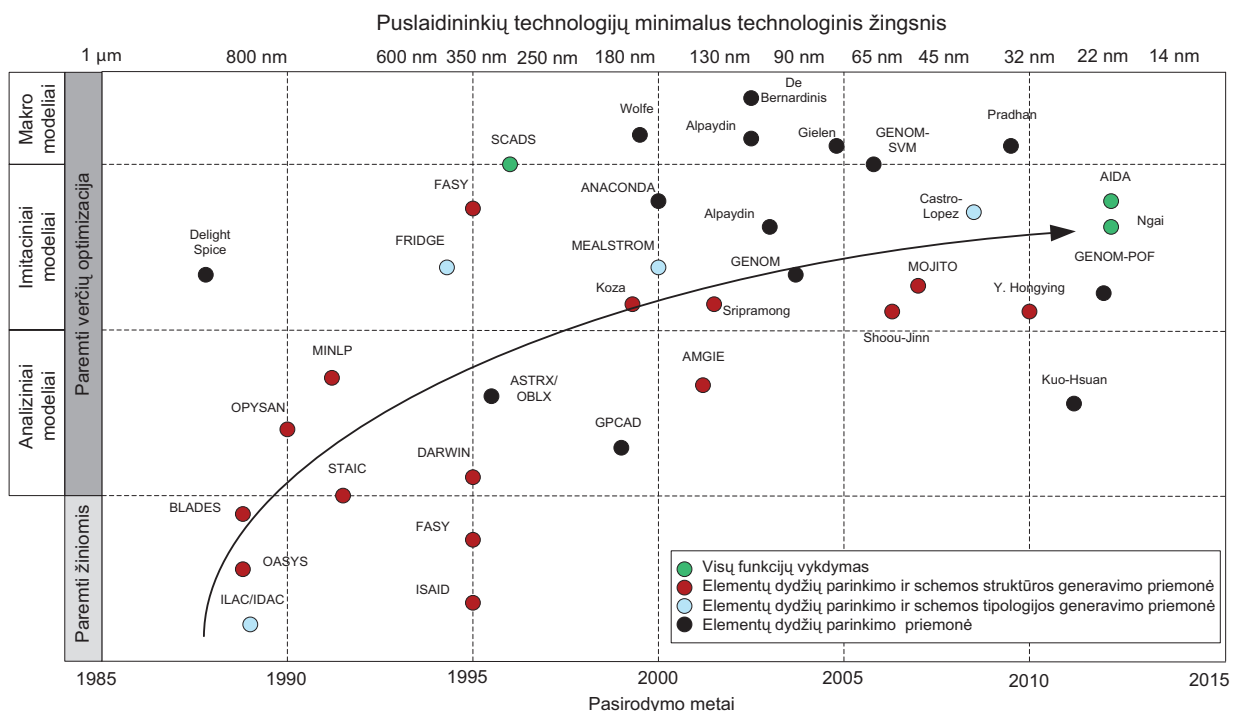
Šis metodas grindžiamas IG optimizavimu taikant geometrinę programavimą (Aggarwal, O'Reilly 2007). Analiziniai modeliai leidžia rasti sistemos charakteristikas daug greičiau nei imitaciniai modeliai, tačiau visos struktūros charakteristikos negali būti išreikštos analizinėmis lygtimis, todėl projektuojant IG atsiranda netikslumų (Gurskas A. et al. 2001).

3. *Grindžiama imitaciniais modeliais.* Šio metodo tikslumas tiesiogiai priklauso nuo taikomų IG technologijos modelių. IG gamyboje naudojami tranzistorių ir kitų elementų charakteristikas aprašantys modeliai yra sudaromi remiantis eksperimentine patikra, todėl šis būdas yra tiksliausias iš visų optimizacijos tipų. Trūkumas – ilga skaičiavimo trukmė.

4. *Optimizavimas taikant makromodelius.* Šio metodo ypatumas tai, kad IG charakteristikų modeliavimo programa pakeičiama modeliu, kuris gali būti sudaromas pagal dirbtinių neuronų tinklų SVM (angl. *support vector machines*) skaičiavimo metodiką. Naudojantis makromodeliais galima įgyvendinti sudėtingas struktūras. Trūkumai – ilga modelio sudarymo trukmė ir negarantuotas tikslumas.

Automatizuotojo integrinių analoginių grandynų projektavimo priemonės ir jose taikomi optimizavimo metodai parodyti 1 pav. (Lourenco, Horta 2012; Ngai 2006; Martins et al. 2012). Iš paveikslo matyti, kad iki 2000 m. atliekant automatizuotąjį AIG projektavimą dažnai buvo taikomi analiziniai ir eksperimentais grįsti optimizavimo metodai. Beveik visi naujausi automatizuotieji AIG optimizavimo metodai remiasi imitacinių modelių arba makromodelių sudarymu ir skaičiavimu.

Automatizuotasis analoginių blokų projektavimas taip pat gali būti įdiegtas perjungiamų tranzistorių matricų (PMA) įtaisuose (Shibata et al. 2002). Šiuo atveju analoginiai įtaisai programuojami taip pat kaip programuojamos loginės matricos. PTM yra sudaryti iš tranzistorių kaskodų, kurie gali būti sujungti tarpusavyje arba atjungti.

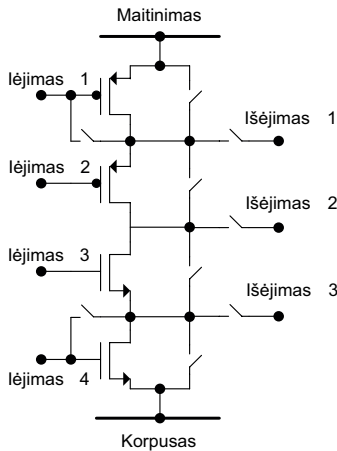


1 pav. Automatizuotojo integrinių analoginių grandynų projektavimo priemonės ir jose taikomi optimizavimo metodai

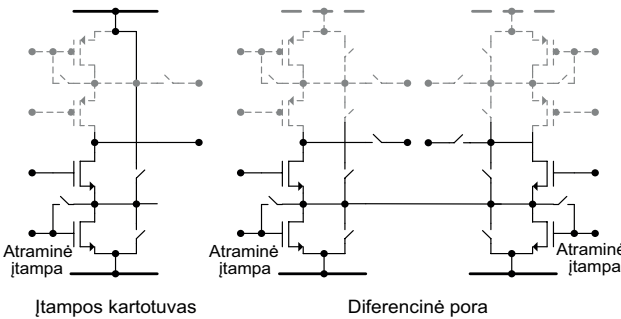
Fig. 1. Tools and optimization methods for automated integrated analog circuit design

Toks tranzistorių kaskodas ir keli galimi jo jungimo variantai parodyti 2 ir 3 paveiksluose. Didžiausias PTM trūkumas yra nedidelis elementų integracijos lygis. Be to, blokų parametrų sklaida ir parazitinės tarpusavio sąsajos, susidarančios tarp tranzistorių jungčių, sumažina maksimalų veikimo dažnį.

Automatizuotai AIG gali būti projektuojami panaudojant ir programuojamas analogines matricas (PAM). PAM sudarytos iš įvairių analoginių blokų (operacinių stiprintuvų, kondensatorių, įtampos kartotuvų) ir perjungiamų elementų matricų, kurios gali būti panaudojamos kaip programuojamos srovės šaltiniai (Shapero, Hasler 2013).



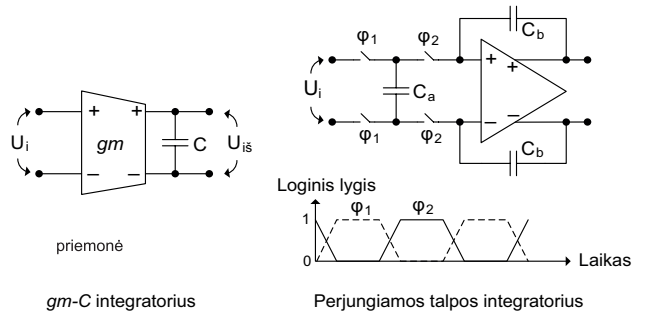
2 pav. PTM tranzistorių kaskodas
Fig. 2. PTA transistor cascode



3 pav. Grandinės, sudarytos iš PTM tranzistorių kaskodų
Fig. 3. Circuits built from PTA transistor cascodes

Automatizuotasis analoginių integrinių filtrų projektavimas

Automatizuotasis integrinių analoginių filtrų projektavimas grindžiamas tais pačiais metodais, kuriais yra projektuojami AIG. Literatūroje dauguma pateiktų algoritmų ir metodų yra skirta automatizuoti $gm-C$ ir perjungiamos srovės/talpos topologijų integrinių filtrų projektavimą. $gm-C$ ir per-



4 pav. $gm-C$ ir perjungiamos talpos integratorių schemas
Fig. 4. $gm-C$ and switched capacitor integrator circuits

jungiamos talpos topologijų integratorių (žemojo dažnio filtrų; schemas pavaizduotos 4 pav.) perdavimo funkcijos atitinkamai yra:

$$H(s) = \frac{gm}{s \cdot C}; \quad (1)$$

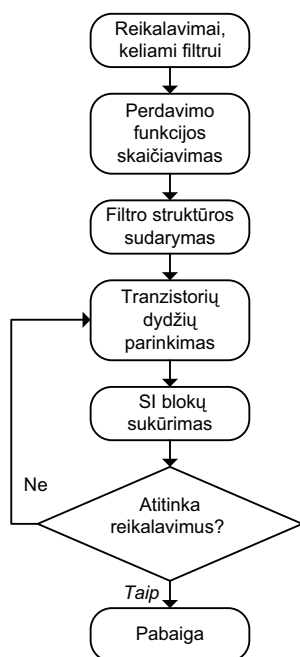
$$H(z) = -\frac{C_a}{C_b} \cdot \frac{z^{-1}}{1 - z^{-1}}, \quad (2)$$

čia gm – įtaiso statumas; C ir $C_{a,b}$ – talpos; s ir z – kompleksiniai kintamieji.

Iš (1) ir (2) lygčių matome, kad $gm-C$ filtrai yra tolydžiojo laiko, o perjungiamos talpos/srovės filtrai – diskrečiojo laiko sistemos. Abiejų tipų filtruose nenaudojami rezistoriai, nes jie integrinėse technologijose yra jautrūs gamybos procesų svyravimams ir temperatūros pokyčiams. Dėl šios priežasties $gm-C$ ir perjungiamos talpos/srovės filtrai atsparesni integrinių grandynų technologiniams nuokrypiams, palyginti su topologijomis, kuriose naudojami rezistoriai.

J. B. Hughesas su bendraautorais (Hughes *et al.* 1996) pateikia perjungiamos srovės filtro automatizuotojo projektavimo algoritmą (5 pav.). Autorių pasiūlytas metodas paremtas imitaciniais modeliais. Kaip rašo S. Modi su bendraautorais (Modi *et al.* 2010), $gm-C$ filtras automatizuotai projektuoti taikomas panašus algoritmas. Šiuo atveju perjungiamos talpos (SI) blokų kūrimas pakeičiamas operacinių stiprintuvų su srovės išėjimu projektavimu, o optimizavimas atliekamas ieškant Pareto optimumo.

Siekiami, kad bevielio ryšio įtaisuose, tokiuose kaip DSI, grandinės savybės būtų artimos tiesinės grandinės savybėms ir triukšmo lygis būtų žemas. Nors $gm-C$ ir perjungiamos srovės/talpos filtrai esti didelio integracijos laipsnio grandynai ir atsparūs integrinių technologijų gamybos nuokrypiams, $gm-C$ filtrų tiesiškumo, o perjungiamos srovės/talpos filtrų – triukšmo parametrai yra prastesni, palyginti su aktyviausiųjų RC filtrų. Dėl šios priežasties siūstuvuose-imtuvuose dažniausiai naudojami pastarieji



5 pav. Perjungiamos srovės filtro automatizuotojo projektavimo algoritmas

Fig. 5. Switched current filter automated design flow

filtrai. Kaip minėta, literatūroje išsamiai aprašyti integrinių *gm-C* ir perjungiamos srovės/talpos filtrų automatizuotojo projektavimo metodai ir algoritmai, tačiau panašių metodų integriniams aktyviesiems RC filtrams projektuoti nėra.

6 pav. parodytas siūlomas automatizuotojo integrinių aktyviųjų RC filtrų projektavimo algoritmas. Algoritmo seka:

1) įvertinami filtrui keliami reikalavimai (1 lentelė) (praleidžiamųjų dažnių juostos plotis, stiprinimas, triukšmai ir pan.);

2) parenkamas filtro tipas (*Butterworth*, *Chebyshev*, *Legendre* ir pan.) bei topologija (*MFB*, *Sallen Key* ir kt.), kuri geriausiai atitinka nustatytus reikalavimus;

3) generuojama filtro perdavimo funkcija;

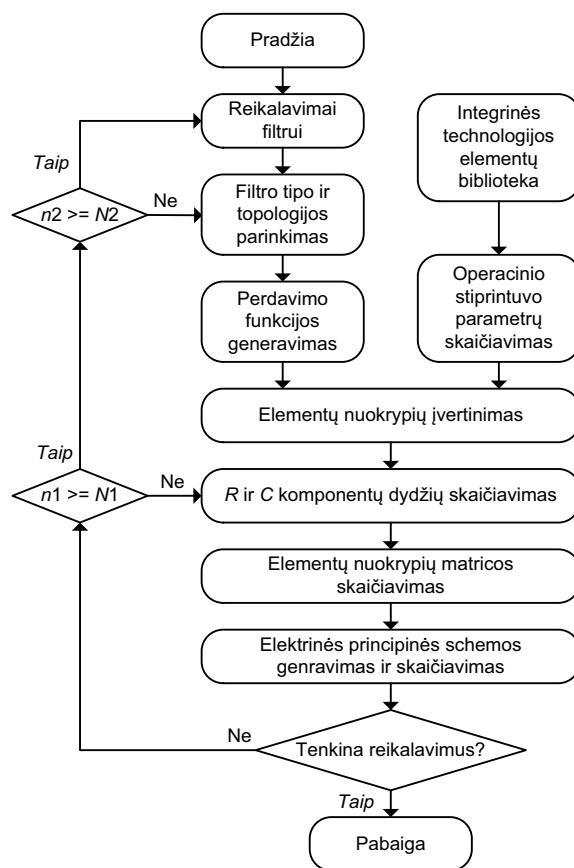
4) iš integrinės technologijos elementų bibliotekos atrenkami rezistoriai, kondensatoriai ir operaciniai stiprintuvai;

5) apskaičiuojama operacinio stiprintuvo atraminė srovė, kad atitiktų minimalius vartojamos srovės reikalavimus, bei kiti parametrai;

6) įvertinami elementų nuokrypiai; rezistoriai ir kondensatoriai skaičiuojami numatant ribines integrinės technologijos sąlygas;

7) atsižvelgiant į perdavimo funkciją, nusistatytus ploto ir triukšmų reikalavimus, galimus elementų nuokrypius, apskaičiuojami rezistorių ir kondensatorių dydžiai;

8) sudaroma elementų matrica, kuri leistų, atsižvelgiant į reikalaujamą tikslumą, skaitmeniniu valdymo būdu keisti filtro praleidžiamųjų dažnių juostos plotį;



6 pav. Siūlomas automatizuotojo integrinių aktyviųjų RC filtrų projektavimo algoritmas

Fig. 6. The proposed integrated RC filter design algorithm

9) generuojama filtro elektrinė principinė schema ir skaičiuojami filtro parametrai;

10) jei gauti rezultatai neatitinka reikalavimų, perskaičiuojamos rezistorių bei kondensatorių varžų ir talpų vertės arba keičiamas filtro tipas ar topologija. Nepavykus rasti struktūros, kuri atitiktų nustatytus reikalavimus, grįžtama į reikalavimų, keliamų filtrui, keitimą.

Algoritme $n1$ ir $n2$ yra skaičiai, kurie parodo, kiek kartų ciklas buvo kartojamas. Šie skaičiai lyginami su $N1$ ir $N2$ vertėmis, kurios nurodo, kiek ciklų gali trukti filtro parametrų paieška.

Integrinio aktyviojo RC filtro projektavimas

Naudojantis pasiūlytu algoritmu pagal KMOP 65 nm technologiją suprojektuotas aktyvusis, visiškai diferencinis žemųjų dažnių integrinis RC filtras. Reikalavimai, keliami filtrui, pateikti 1 lentelėje.

Pagal nustatytus reikalavimus parinktas filtro tipas *Butterworth*, jam įgyvendinti panaudota šuolinių grįžtamųjų ryšių (angl. *leapfrog*) struktūra. Šios struktūros filtrams būdinga didelis atsparumas esant elementų verčių sklaidai, todėl tokia struktūra dažnai pasirenkama projektuojant in-

1 lentelė. Projektuojamam filtrui keliami reikalavimai

Table 1. Requirements for the filter

Parametras	Vertė	Prioritetinė vertė
f_k , MHz	1	1
f_k tikslumas, kHz	50	1
A , dB	0	1
δ , dB	0	1
Filtro eilė	2	1
I , mA	≤ 1	2
$V_{\text{išeime}}$, V/√Hz	minimalus	2
S , μm^2	$< 10^5$	3

Pastaba: čia f_k – praleidžiamųjų dažnių juostos plotis; A – stiprinimo koeficientas; δ – didžiausieji leidžiamieji raibuliai praleidžiamųjų dažnių juostoje; I – vartojamoji srovė; $V_{\text{išeime}}$ – triukšmas filtro išėjime; S – filtro užimamas plotas.

tegrinius filtrus (Yanhui, Hui 2009). Filtro struktūra parodyta 7 pav., o jos perdavimo funkcija rašoma taip:

$$H(s) = \frac{1}{s^2 + 1,414 \cdot s + 1} = \frac{3,948 \cdot 10^{13}}{s^2 + 8,886 \cdot 10^6 + 3,948 \cdot 10^{13}} \quad (3)$$

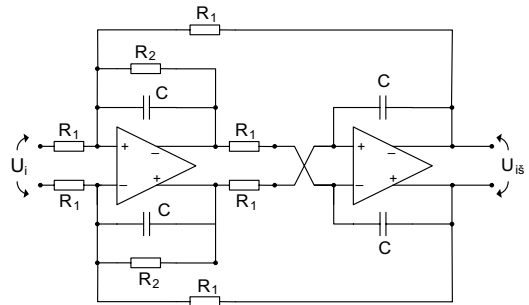
Įvertinant elementų nuokrypius buvo skaičiuojami rezistorių ir kondensatorių varžų ir talpų nukrypimai nuo vardinės vertės, esant ribinėms integrinių technologijų sąlygoms ir skirtingoms temperatūroms. 8 pav. pateikti modeliavimo rezultatai. Iš jų matyti, kad rezistorių ir kondensatorių varžų bei talpų nominaliosios vertės gali kisti iki 16 %. Kadangi šis pokytis priklauso tik nuo gamybos metu atsirandančių nuokrypių, jis apima plačią nominalų juostą.

Pasirenkamų rezistorių bei kondensatorių varžų ir talpų vertės priklauso nuo triukšmo, užimamo ploto reikalavimų ir maksimalių elementų verčių nuokrypių. Pagal taikomą 65 nm technologiją 1 pF talpos kondensatorius užima 70 μm^2 plotą, o 1 k Ω varžos rezistorius – tik 2 μm^2 . Norint sumažinti filtro užimamą plotą, reikia didinti rezistorių ir mažinti kondensatorių vertes. Deja, didelių rezistorių aktyviuosiuose RC filtruose naudoti nerekomenduojama, nes dėl jų didėja mirgėjimo ir šiluminis triukšmai. Rezistoriaus mirgėjimo ir šiluminį triukšmą nusako lygtys

$$i_{\text{mirg}}^2 = K_{\text{FN}}(T) \cdot \left(\frac{I}{W}\right)^{afn} \cdot \frac{W}{L \cdot f \cdot bfn}, \quad (4)$$

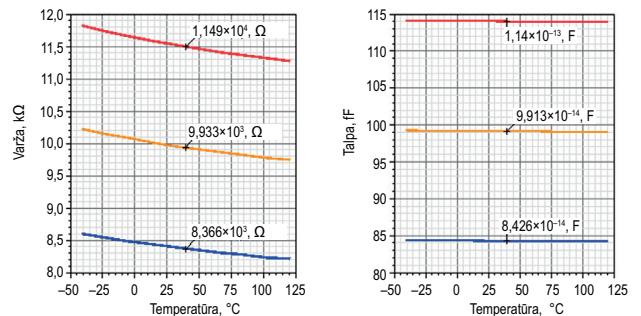
$$i_{\text{šilum}}^2 = 4 \cdot k \cdot T \cdot G, \quad (5)$$

čia i_{mirg}^2 ir $i_{\text{šilum}}^2$ – atitinkamai mirgėjimo ir šiluminio triukšmo srovės energetiniai spektriniai tankiai; K_{FN} , afn , bfn – rezistoriaus modelio parametrai; W ir L – rezistoriaus geometriniai matmenys; k – Bolcmano konstanta; T – temperatūra; G – laidis.



7 pav. Filtro struktūra

Fig. 7. Structure of the filter



8 pav. $R = 10$ k Ω ir $C = 100$ fF verčių sklaida esant ribinėms integrinės technologijos sąlygoms

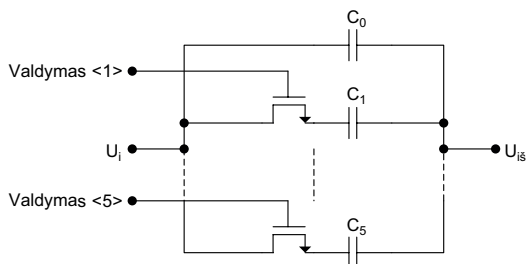
Fig. 8. $R = 10$ k Ω and $C = 100$ fF value spread in corner simulation

Siekiant sumažinti projektuojamo filtro triukšmus, mažinamas rezistorių ir kondensatorių varžų bei talpų verčių santykis, t. y. filtro triukšmai mažinami didinant jo plotą. Kadangi kondensatorių užimamas plotas yra keliolika kartų didesnis negu rezistorių, todėl pirma apskaičiuojama maksimali kondensatoriaus talpos vertė, kuri neviršytų užduotyje keliamų užimtino ploto reikalavimų. Talpos apskaičiuojamos (pF) pagal formulę

$$C = \frac{S_{\text{visas}} \cdot 0,8 - S_{\text{OS}} \cdot N_{\text{OS}}}{N_C \cdot s_{\text{pF}}} \cdot \sigma_{\text{RC}}, \quad (6)$$

čia S_{visas} – filtro plotas, μm^2 , 0,8 – daugiklis, kurį taikant atribojama filtrui skirta ploto dalis elementų nuokrypių matricoms, rezistoriams ir vidinėms jungtims sudaryti; S_{OS} – operacinio stiprintuvo plotas, μm^2 ; N_{OS} – operacinių stiprintuvų skaičius; N_C – kondensatorių skaičius; s_{pF} – savitoji talpa $\mu\text{m}^2/\text{pF}$; σ_{RC} – elementų vertės nuokrypis nuo nominaliosios.

Nuokrypiams koreguoti panaudota kondensatorių matrica (9 pav.). Dėl rezistorių ir kondensatorių varžų bei talpų verčių nuokrypių f_k gali svyruoti. Svyravimų ribos – apie 900 MHz nuo norimo dažnio. Atsižvelgiant į 1 lentelėje keliamus praleidžiamųjų dažnių juostos tikslumo reikalavimus, sudaryta nuokrypių matrica turi turėti bent



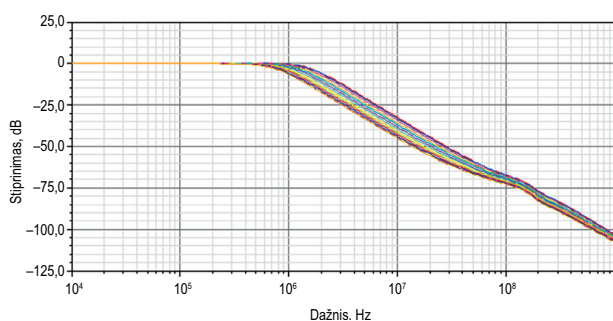
9 pav. Nuokrypių korekcijos matrica, sudaryta iš kondensatorių
Fig. 9. Calibration matrix built from capacitors

18 valdymo žingsnių, todėl naudojamas 5 bitų valdymo signalas. Apskaičiuota maksimali talpos vertė išskaidoma į 6 elementus: vieną pastovųjį, o kitus – valdomus. Prie valdymo žemesniojo bito linijos prijungtas mažiausios talpos kondensatorius, o prie kitų – dvigubai vienas už kitą didesnės talpos kondensatoriai. Nuokrypių matricai sudaryti galima naudoti ir rezistorius, tačiau tokiu atveju praleidžiamųjų dažnių juostos pločio pokytis yra netolygus – pagal parinktus rezistorių varžų dydžius gaunamas didelis pradinis arba galinis žingsniai.

10–13 pav. pavaizduotos suprojektuoto filtro (1 ir 2 lentelės) dažninės, statinės ir išėjimo triukšmo charakteristikos. 2 lentelėje pateiktos suprojektuoto filtro pasyviųjų elementų parametrų vertės, įtraukiant ir išskaidytas kondensatorių matricos talpos vertės.

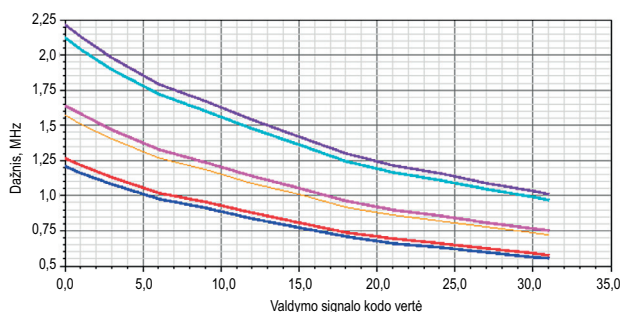
2 lentelė. Suprojektuoto filtro pasyviųjų elementų nominaliai
Table 2. Passive component values of the filter

Parametras	Vertė, pF	Parametras	Vertė, kΩ
C_0	10,38	R_1	9,95
C_1	6,39	R_2	7,04
C_2	3,19		
C_3	1,60		
C_4	0,80		
C_5	0,39		



10 pav. Suprojektuoto aktyviojo RC filtro dažninė amplitudės charakteristika, esant skirtingiems talpos matricos valdymo signalams

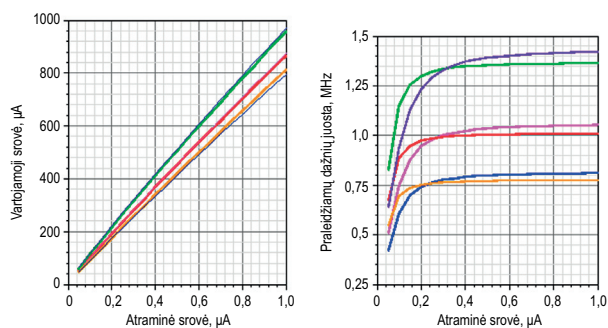
Fig. 10. AC characteristic of the designed active RC filter with different control values for the capacitor bank



11 pav. Suprojektuoto filtro praleidžiamųjų dažnių juostos pločio vertės, esant skirtingiems talpos matricos valdymo signalams
Fig. 11. Bandwidth of the designed filter with different control values for the capacitor bank

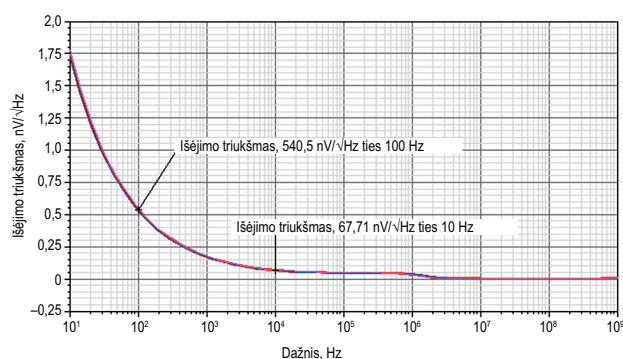
Visi grafikai gauti skaičiuojant filtrą esant nominaliosioms ir ribinėms gamybos sąlygoms. Iš 10 ir 11 pav. matome, kad suprojektuotas filtras atitinka užduotyje suformuluotus dažnių praleidimo juostos pločio, stiprinimo koeficiento ir tikslumo reikalavimus. Maksimalus valdymo žingsnis yra 32,5 kHz. Filtro vartojamosios srovės ir praleidžiamųjų dažnių juostos pločio priklausomybė nuo atraminės srovės šaltinio vertės pavaizduota 12 pav. Operacinio stiprintuvo atraminės srovės vertės turi siekti 800 nA, kad filtro praleidžiamųjų dažnių juostos pločiui neturėtų įtakos atraminės srovės pokytis. Esant nurodytai atraminės srovės vertei, projektuojamas filtras vartoja iki 800 μA srovę.

Analizuojant 13 pav. išėjimo triukšmo charakteristiką akivaizdu, kad ji nepriklauso nuo technologijos ribinių sąlygų. Iš (4) lygties matyti, kad mirgėjimo triukšmas, kuris dominuoja filtre iki 100 kHz, beveik nepriklauso nuo rezistoriaus vardinės vertės, jeigu per rezistorių teka mažos vertės srovės. Tokiu atveju rezistorių ir kondensatorių vertių nuokrypiai turi įtakos tik filtro praleidžiamųjų dažnių juostos pločiui.



12 pav. Suprojektuoto filtro vartojamosios srovės ir praleidžiamųjų dažnių juostos pločio priklausomybė nuo atraminės srovės šaltinio vertės

Fig. 12. Current consumption and bandwidth of the designed filter with different bias settings



13 pav. Suprojektuoto filtro išėjimo triukšmas

Fig. 13. Output noise of the designed filter

Išvados

1. Modernios IG projektavimo ir modeliavimo programos taiko sudėtingus MOP tranzistorių modelius, kurie įvertina efektus, atsirandančius dėl mažo tranzistoriaus kanalo ilgio.
2. Labiausiai paplitę automatizuotojo AIG projektavimo metodai yra pagrįsti žinomos struktūros elementų optimizavimu. Išskiriami 4 optimizavimo metodai: grįšti eksperimentu ir inžineriniu patyrimu; analizinių lygčių sprendimu; imitaciniais modeliais; optimizavimu taikant makromodelius.
3. Automatizuotasis integrinių analoginių filtrų projektavimas grindžiamas tokiais pačiais metodais, kurie yra taikomi projektuojant AIG. Literatūroje plačiai aprašyti integrinių *gm-C* ir perjungiamos srovės/talpos filtrų automatizuotojo projektavimo metodai ir algoritmai, tačiau panašių metodų, tinkamų integriniams aktyviesiems RC filtrams projektuoti, nėra.
4. Siūlomas automatizuotasis integrinių aktyviųjų RC filtrų projektavimo algoritmas, kuriuo remiantis pagal KMOP 65 nm technologiją suprojektuotas aktyvusis diferencinis žemųjų dažnių RC filtras. Suprojektuotas antrosios eilės integrinis RC filtras skaičiuotas naudojant *Cadence* programinį paketą. Pagrindiniai gauti rezultatai: $f_k - 1$ MHz; f_k tikslumas – 32,5 kHz; $I - 700$ μ A; $V_{i\text{šėjime}} - 540$ nV/ $\sqrt{\text{Hz}}$ esant 100 Hz ir 67,7 nV/ $\sqrt{\text{Hz}}$ esant 10 kHz.

Literatūra

- Aggarwal, V.; O'Reilly, U. M. 2007. Simulation-based reusable posynomial models for MOS transistor parameters, in *Design, Automation & Test in Europe Conference & Exhibition*: 1–6.
- Das, A.; Vemuri, R. 2009. Fuzzy logic based guidance to graph grammar framework for automated analog circuit design, *VLSI Design*, 445–450. <http://dx.doi.org/10.1109/vlsi.design.2009.79>

- Gurskas, A.; Kirvaitis, R.; Lindberg, E.; Skardzius, J. 2001. *Elektroninių schemų projektavimas kompiuteriais*. Vilnius: Technika. 244 p.
- Hughes, J. B.; Moulding, K. W.; Richardson, J.; Bennett, J.; Redman-White, W.; Bracey, M.; Soin, R. S. 1996. Automated design of switched-current filters, *Solid-State Circuits* 31(7): 898–907. <http://dx.doi.org/10.1109/4.508201>
- Lee T. 2004. *The design of CMOS radio frequency integrated circuits*. 2nd edition. New York: Cambridge University Press.
- Lourenco, N.; Horta, N. H. 2012. GENOM-POF: Multi-objective evolutionary synthesis of analog ICs with corners validation, in *Proc Genetic and Evolutionary Computation*, 1119–1126.
- Modi, S.; Askari, S.; Manohar, S.; Balsara, P.; Nourani, M. 2010. Automated GmC filter design: A case study in accelerated reuse of analog circuit design, in *IEEE Dallas Circuits and Systems Workshop*, 1–4. <http://dx.doi.org/10.1109/DCAS.2010.5955045>
- Navickas, R.; Barzdėnas, V. 2012. *Mikroschemų technologijų analizė*. Vilnius: Technika. 30 p. <http://dx.doi.org/10.3846/1331-S>
- Ngai, P. C. 2006. Automated design of multirate switched-capacitor filter using constrained optimization approach, *Circuits and Systems* (2): 249–252.
- Martins, R. Lourenco, N.; Rodrigues, S.; Guilherme, J.; Horta, N. 2012. AIDA: Automated analog IC design flow from circuit level to layout, in *Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design*: 29–32.
- Shaper, S.; Hasler, P. 2013. Mismatch characterization and calibration for accurate and automated analog design, *Circuits and Systems* 1 60: 548–556. <http://dx.doi.org/10.1109/tcsi.2012.2215741>
- Shibata, H. Mori, S.; Fujii, N. 2002. Automated design of analog circuits using cell-based structure, in *Evolvable Hardware*, 85–92.
- Yanhui X.; Hui P. 2009. Realization of lowpass and bandpass leapfrog filters using OAs and CCCIs, *Management and Service Science*: 1–4.

AUTOMATED INTEGRATED ANALOG FILTER DESIGN ISSUES

K. Kiela, R. Navickas

Abstract

An analysis of modern automated integrated analog circuits design methods and their use in integrated filter design is done. Current modern analog circuits automated tools are based on optimization algorithms and/or new circuit generation methods. Most automated integrated filter design methods are only suited to gmC and switched current filter topologies. Here, an algorithm for an active RC integrated filter design is proposed, that can be used in automated filter designs. The algorithm is tested by designing an integrated active RC filter in a 65 nm CMOS technology.

Keywords: integrated filter, automation, CMOS, active RC filter, optimization.