

## DAŽNIO SINTEZATORIŲ DAUGIASTANDARČIAMS BEVIELIO RYŠIO SIŪSTUVAMS IR IMTUVAMS ANALIZĖ

Marijan JURGO<sup>1</sup>, Romualdas NAVICKAS<sup>2</sup>

Vilniaus Gedimino technikos universitetas, Vilnius, Lietuva  
El. paštas: <sup>1</sup>marijan.jurgo@vgtu.lt; <sup>2</sup>romualdas.navickas@vgtu.lt

**Santrauka.** Dažnio sintetizatorius yra vienas iš svarbiausių blokų bevielio ryšio siūstuvuose-imtuvuose. Kaip dažnio sintetizatorius daugiastandarčiams bevielio ryšio siūstuvams ir imtuvams dažniausiai yra naudojama fazės derinimo kilpa (FDK). Dvi pagrindinės FDK struktūros yra klasikinė (mišri, krūvio pompos) ir visiškai skaitmeninė fazės derinimo kilpa. Naujausiose darbuose, susijusiose su klasikine FDK projektavimu, siekiama mažinti galią ir plotą, dažnio suderinimo trukmę, plauti praleidžiamų dažnių ruožą. Pagrindinis dėmesys projektuojant visiškai skaitmenines FDK skiriamas kvantavimo triukšmui mažinti. Įvairių struktūrų ir tipų dažnio sintetizatorių palyginti yra siūloma nauja kokybės funkcija (FOM). Ši funkcija priklauso nuo visų pagrindinių sintetizatoriaus, tinkančio daugiastandarčiams siūstuvams-imtuvams, parametrų: fazinio triukšmo, darbinio dažnio, dažnio perdirinimo ruožo pločio, vartojamosios galios, luste užimamo ploto. Taip pat įvertinama naudojama KMOP technologija. Iš apskaičiuotų kokybės funkcijos rezultatų naujausiems publikuotiems dažnio sintetizatoriams matyti, kad nanometrinėse technologijose visiškai skaitmeninės struktūros dažnio sintetizatoriai yra pranašesni už klasikinius, tačiau didesnėse (0,18 μm ir 0,13 μm) technologijose įgyvendinti klasikiniai dažnio sintetizatoriai yra lygiaverčiai arba pranašesni už visiškai skaitmeninius sintetizatorius.

**Reikšminiai žodžiai:** dažnio sintetizatorius, aukštadažnis, fazės derinimo kilpa, įtampa valdomas generatorius, krūvio pompa, daliklis, laikinis skaitmeninis keitiklis, KMOP, kokybės funkcija.

### Įvadas

Pastaruoju metu sparčiai plinta bevielio ryšio technologijos ir jomis paremtos paslaugos, kuriami nauji ir tobulinami seni duomenų perdavimo bevieliu ryšiu standartai.

Siekiant didesnių duomenų perdavimo greičių, pradami naudoti vis aukštesnių dažnių ruožai, pvz., 5 GHz ruožo bevielio ryšio 802.11n standartas jau yra įprastas namų vartotojams, plečiami WiMAX ir LTE tinklai.

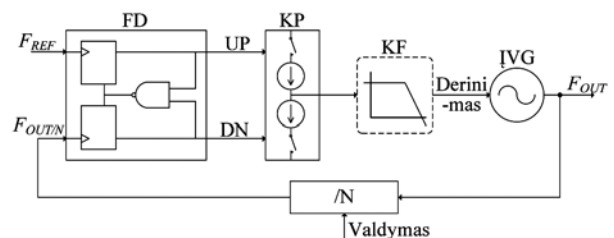
Kad galima būtų naudoti visus bevielio ryšio standartus viename įrenginyje, kuriami daugiastandarčiai bevielio ryšio siūstuvų-imtuvų integriniai grandynai. Vienas iš pagrindinių daugiastandarčio siūstuvų-imtuvo blokų yra dažnio sintetizatorius, generuojantis aukštadažnį signalą. Dažnio sintetizatoriui sukurti dažniausiai naudojama fazės derinimo kilpa (FDK). Yra du pagrindiniai FDK tipai:

- klasikinė (mišri, krūvio pompos) FDK;
- visiškai skaitmeninė FDK.

Šiame darbe analizuojamos sintetizatorių struktūros ir aptariamos sritys, kurioms skiriama daugiausiai dėmesio projektuojant naujausius dažnio sintetizatorius. Taip pat siūloma kokybės funkcija, leidžianti kiekybiškai palyginti daugiastandarčiams bevielio ryšio siūstuvams-imtuvams tinkamus dažnio sintetizatorius.

### Klasikinė fazės derinimo kilpa

Klasikinė fazės derinimo kilpos struktūros schema pateikta 1 pav. Ją sudaro fazės detektorius (FD), krūvio pompa (KP), kilpos filtras (KF), įtampa valdomas generatorius (IVG) ir dažnio daliklis iš koeficiento  $N$  ( $/N$ ). Suderintoje (užrakintoje) būsenoje FDK išėjimo signalo dažnis yra lygus atraminio signalo dažniui ir dalybos koeficiento  $N$  sandaugai.



1 pav. Klasikinės fazės derinimo kilpos struktūra. FD – fazės detektorius, KP – krūvio pompa, KF – kilpos filtras, IVG – įtampa valdomas generatorius,  $/N$  – dažnio daliklis iš koeficiento  $N$ ,  $F_{REF}$  – pamatinio generatoriaus signalas,  $F_{OUT}$  – išėjimo signalas

Fig. 1. Structure of conventional phase locked loop. FD – frequency detector, KP – charge pump (CP), KF – loop filter (LF), IVG – voltage controlled oscillator (VCO),  $/N$  – frequency divider by coefficient  $N$ ,  $F_{REF}$  – reference clock signal,  $F_{OUT}$  – output signal

Visi klasikinę FDK sudarantys blokai yra analoginiai, išskyrus skaitmeninį fazės detektorių. Dėl šios priežasties klasikinė FDK dažnai vadinama mišriąja FDK. Taip pat, dėl naudojamo fazės detektoriaus ir krūvio pompos, dažnai literatūroje šios struktūros FDK vadinama FDK su krūvio pompa (angl. *Charge Pump*).

Naujausiuose darbuose, susijusiuose su klasikinės FDK projektavimu, siekiama mažinti galią ir plotą, dažnio suderinimo (kilpos užsirakinimo) trukmę ir platinti praleidžiamų dažnių ruožo plotį.

Galiai ir plotui mažinti yra naudojami vienpoliai fazės detektoriai (Shekhar *et al.* 2011) ir žiediniai generatoriai (Liao *et al.* 2013; Liu, McDonald *et al.* 2012; Meng *et al.* 2011). Praleidžiamų dažnių ruožo pločiui padidinti ir dažnio suderinimo trukmei sumažinti, stengiantis neįtakoti sintetatoriaus fazinio triukšmo, yra naudojamos I-ojo tipo fazės derinimo kilpos (Hedayati, Bakkaloglu 2012; Shekhar *et al.* 2011), vienpoliai fazės detektoriai, dvigubos kilpos struktūros (Cai *et al.* 2013; Chen X., Chen Y. 2011; Cowan, Williams 2013; Jakobsson *et al.* 2013) arba kvarcinį generatorių pakeičianti antroji FDK (Shekhar *et al.* 2011).

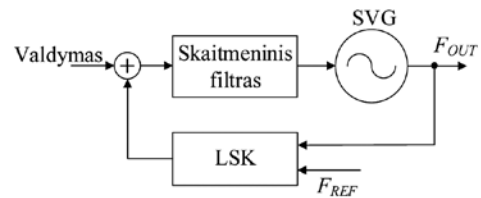
Norint pasiekti dešimčių gigahercų (30–80 GHz) veikimo dažnį, daug dėmesio skiriama dažnio dalikliams (Chen *et al.* 2011; Chen *et al.* 2011; Huang *et al.* 2012; Plessas *et al.* 2011). Tokiu atveju yra naudojami pakopomis sujungti skirtingo tipo dažnio dalikliai: aukščiausiu (sintetatoriaus maksimaliu) dažniu dirbantis dažnio daliklis yra ILFD (angl. *Injection-Locked Frequency Divider*) struktūros, vidutinio dažnio daliklis yra CML (angl. *Current-Mode-Logic*) tipo daliklis, o žemiausiu dažniu dirbantys dažnio dalikliai yra TSPC (angl. *True Single-Phase Clocking*) arba E-TSPC (angl. *Extended TSPC*) tipo.

Jeigu sintetatoriaus taikymas reikalauja kuo mažesnio fazinio triukšmo, dažniausiai naudojamas kilpos generatoriaus tipas yra LC rezonansinio kontūro įtampa valdomas generatorius.

### Visiškai skaitmeninė fazės derinimo kilpa

Supaprastinta visiškai skaitmeninės FDK struktūra pateikta 2 pav. Pagrindiniai blokai sudarantys visiškai skaitmeninę FDK yra skaitmeninis filtras, skaitmeniniu būdu valdomas generatorius (SVG) ir laikinis-skaitmeninis keitiklis (LSK). Pastarasis vykdo dažnio daliklio ir fazės klaidos aptikimo funkcijas.

Pagrindinis dėmesys projektuojant visiškai skaitmenines FDK skiriamas kvantavimo triukšmui mažinti. Tam stengiamasi didinti LSK skiriamąją gebą, kuri daro įtaką faziniam triukšmui FDK artimojoje srityje, ir mažinti SVG dažnio perderinimo žingsnį, kuris daro įtaką faziniam triukšmui FDK tolimojoje srityje.



2 pav. Supaprastinta visiškai skaitmeninės fazės derinimo kilpos struktūra. SVG – skaitmeniniu būdu valdomas generatorius, LSK – laikinis-skaitmeninis keitiklis,  $F_{REF}$  – pamatinio generatoriaus signalas,  $F_{OUT}$  – išėjimo signalas

Fig. 2. Simplified structure of all digital phase locked loop. FD – frequency detector, SVG – digitally controlled oscillator (DCO), LSK – time to digital converter (TDC),  $F_{REF}$  – reference clock signal,  $F_{OUT}$  – output signal

LSK skiriamoji geba didinama naudojant kintamos vėlinimo trukmės LSK, daugiapakopius LSK (grubaus ir tikslaus suderinimo), fazės detektoriaus ir LSK junginius, Vernier ir dvimatėmis Vernier vėlinimo linijomis paremtus LSK, stochastinius LSK (Lee *et al.* 2012; Liu *et al.* 2014; Pu *et al.* 2011; Samarah, Carusone 2013; Tasca *et al.* 2011; Ueda *et al.* 2012).

SVG perderinimo žingsniui mažinti naudojami LC rezonansinio kontūro generatoriai su skirtingais dažnio perderinimo rinkiniais arba skaitmeniniais-analoginiais keitikliais (SAK) generatoriaus įėjime ir delta-sigma ( $\Delta\Sigma$ ) modulatoriais (Hung, Liu 2011; Lee *et al.* 2012; Pavlovic, Bergervoet 2011; Staszewski *et al.* 2011; Tasca *et al.* 2011; Yin *et al.* 2011; Zanuso *et al.* 2011).

Galiai skaitmeniniais projektavimo įrankiais įgyvendintuose dažnio sintetatoriuose sumažinti naudojami žiediniai generatoriai (Liu *et al.* 2013; Takinami *et al.* 2011).

### Dažnio sintetatoriaus kokybės funkcija

Dažnio sintetoriai ir fazės derinimo kilpos yra apibūdinamos pagal įvairius parametrus: darbo dažnį, fazinį triukšmą, užimamą lusto plotą, vartojamą galią ir pan. Kartais, priklausomai nuo dažnio sintetatoriaus pritaikymo srities, kažkuris iš parametrų gali būti svarbesnis. Tačiau pagal vieną parametą sunku palyginti įvairius dažnio sintetatorius. Tam tikslui yra naudojama kokybės funkcija (angl. *FOM – Figure of Merit*).

Literatūroje yra randamos kelios kokybės funkcijos rūšys. Jų dauguma optimizuotos pagal tam tikrą vieną parametą. Šaltinyje (Cheng *et al.* 2011) pateikiamos kokybės funkcijos, orientuojamos į užimamą lusto plotą ( $FOM_S$ ), fazinį triukšmą ( $FOM_{PN}$ ) ir dažnio perderinimo ruožo plotį ( $FOM_{FTR}$ ). Jos pateiktos (1) išraiškoje.

Verta paminėti, kad  $FOM_{FTR}$  išraiška dažnai naudojama ir įtampa valdomų generatorių kokybės funkcijai skaičiuoti. Taip pat ši funkcija naudojama Pu *et al.* (2011) šaltinyje.

$$FOM_S = \frac{S(\text{mm})^2 \times 1(\mu\text{m}^2)}{L_g^2(\mu\text{m}^2) \times 1(\text{mm}^2)},$$

$$FOM_{PN} = \mathcal{L}\{\Delta f\} - 20\lg\left(\frac{f_0}{\Delta f}\right) + 10\lg\left(\frac{P}{1 \text{ mW}}\right),$$

$$FOM_{FTR} = \mathcal{L}\{\Delta f\} - 20\lg\left(\frac{f_0}{\Delta f} \times \frac{\text{FTR}}{10}\right) + 10\lg\left(\frac{P}{1 \text{ mW}}\right), \quad (1)$$

čia  $S$  – lusto plotas,  $L_g$  – minimalus tranzistoriaus kanalo ilgis,  $\mathcal{L}\{\Delta f\}$  – fazinis triukšmas,  $f_0$  – centrinis dažnis,  $\Delta f$  – dažnio nuokrypis nuo centrinio dažnio, ties kuriuo matuojamas fazinis triukšmas, FTR – santykinis dažnio perdirinimo ruožo plotis,  $P$  – vartojamoji galia.

Kita sutinkama kokybės funkcija orientuojasi į fronto nestabilumo (fazinį) triukšmą ir vartojamąją galią (Tasca *et al.* 2011):

$$FOM_\sigma = 10\lg\left(\frac{\sigma_t}{1 \text{ s}} \cdot \frac{P}{1 \text{ mW}}\right), \quad (2)$$

čia  $\sigma_t$  – fronto nestabilumo triukšmas,  $P$  – vartojamoji galia.

Kadangi darbe nagrinėjimų dažnio sintetorių taikymo sritis yra daugiastandarčiai bevielio ryšio siųstuvai-imtuvai, svarbu, kad FDK turėtų kuo platesnį dažnių perdirinimo ruožą, kuo mažesnę fazinį triukšmą, vartojamąją galią ir užimamą lusto plotą. Literatūroje sutinkamos kokybės funkcijos neapima visų šių parametrų.

Taigi, atsižvelgiant į aukščiau paminėtus teiginius, siūloma tokia kokybės funkcija, skirta kiekybiškai palyginti tarpusavyje įvairių struktūrų sintetorius:

$$FOM = \mathcal{L}\{\Delta f\} - \lg\left(\frac{F_c \cdot (F_{\max} - F_{\min})}{F_{\text{off}} \cdot \frac{P}{1 \text{ mW}} \cdot \frac{S}{L_{hp} \cdot (1 \text{ m})} \cdot (1 \text{ Hz})}\right), \quad (3)$$

čia  $\mathcal{L}\{\Delta f\}$  – fazinis triukšmas,  $F_c$  – centrinis dažnis,  $F_{\text{off}}$  – dažnio nuokrypis nuo centrinio dažnio, kuriam esant matuotas fazinis triukšmas,  $F_{\max}$ ,  $F_{\min}$  – didžiausias ir mažiausias

1 lentelė. Klasikinės (mišrios, krūvio pompos) struktūros dažnio sintetorių parametrai ir apskaičiuota kokybės funkcija  
Table 1. Parameters of conventional (mixed, charge-pump) frequency synthesizers and calculated figure of merit

Šaltinis	$L_{hp}$ , nm	$F_{min}$ , GHz	$F_{max}$ , GHz	$F_{off}$ , MHz	$F_c$ , GHz	$\mathcal{L}\{\Delta f\}$ , dBc/Hz	$P$ , mW	$S$ , mm <sup>2</sup>	FOM, dBc/Hz
Chen, Chen. 2011	65	9,5	11,5	1	10	-110	72	0,85	-120,33
Chen, Wang <i>et al.</i> 2011	90	39,7	41,2	10	39,7	-109	113,5	1,12	-118,62
Chen, Wang <i>et al.</i> 2011	90	81,3	83,3	10	81,3	-104	109,9	1,12	-114,08
Chen, Wang <i>et al.</i> 2011	90	60,2	62,4	10	60,2	-104	106,6	1,12	-114,00
Chen, Wang <i>et al.</i> 2011	90	60,2	62,4	3	60,2	-92	106,6	1,12	-102,52
Plessas <i>et al.</i> 2011	90	52	59,6	1	52	-91	120	2,8	-102,02
Chen, Wang <i>et al.</i> 2011	90	39,7	41,2	3	39,7	-91	113,5	1,12	-101,15
Chen, Wang <i>et al.</i> 2011	90	81,3	83,3	3	81,3	-90	109,9	1,12	-100,60
Cheng <i>et al.</i> 2011	90	0,4	2,24	1	2,24	-87	2,08	0,074	-99,38
Shin, J., Shin, H. 2012	130	1,9	3,8	1	3,92	-116,4	15,36	0,651	-127,39
Liu, McDonald <i>et al.</i> 2012	130	24,4	39	1	24,4	-102	800	0,9	-112,81
Shin, J., Shin, H. 2012	130	1,9	3,8	0,1	3,92	-90,5	15,36	0,651	-102,49
Jin <i>et al.</i> 2011	180	0,92	2	10	0,92	-150	18	1,932	-158,71
Jin <i>et al.</i> 2011	180	0,92	2	1	0,92	-125	18	1,932	-134,71
Huang <i>et al.</i> 2012	180	21,12	24	10	24	-123,6	29,8	0,39	-134,63
Hua <i>et al.</i> 2012	180	0,8	1,6	0,1	1,6	-115	11,7	0,0055	-128,55
Xiushan <i>et al.</i> 2011	180	4,096	4,288	1	4,15	-117,3	24	0,473	-127,40
Shekhar <i>et al.</i> 2011	180	2,4	2,48	0,1	2,44	-110	14,1	2,1	-120,07
Hedayati <i>et al.</i> 2012	180	2,6	3,4	0,1	3	-107	32,4	1,2	-118,05
Meng <i>et al.</i> 2011	180	0,05	0,6	1	0,24	-102	8,46	0,078	-112,56
Jin <i>et al.</i> 2011	180	0,92	2	0,1	0,92	-100	18	1,932	-110,71
Hua <i>et al.</i> 2012	180	0,8	1,6	0,01	1,6	-90	11,7	0,0055	-104,55
Li <i>et al.</i> 2011	180	2,4	2,48	0,1	2,41	-93	19,8	1,7	-103,01
Xiushan <i>et al.</i> 2011	180	4,096	4,288	0,01	4,15	-88	24	0,473	-100,10
Huang <i>et al.</i> 2012	180	21,12	24	1	24	-83,8	29,8	0,39	-95,83

veikimo dažniai,  $P$  – vartojamoji galia,  $S$  – užimamas lusto plotas,  $L_{hp}$  – technologinis etapas.

Kaip matyti, ši kokybės funkcija apima visus pagrindinius dažnio sintezatorių parametrus. Taip pat yra įvertinama naudojama technologija. Šios kokybės funkcijos matavimo vienetai sutampa su fazinio triukšmo matavimo vienetais – dBc/Hz. Kuo mažesnė gaunama kokybės funkcijos vertė, tuo yra geresnis dažnio sintezatorius.

1 lentelėje yra pateikti naujausių klasikinės (mišrios, krūvio pompos) struktūros dažnio sintezatorių pagrindiniai parametrai ir šiems sintezatoriams apskaičiuotos kokybės funkcijos, o 2 lentelėje – visiškai skaitmeninės struktūros dažnio sintezatorių parametrai ir kokybės funkcija. Rezultatai yra surūšiuoti pagal KMOP technologijas, kuriose įgyvendinti sintezatoriai (nuo mažiausios iki didžiausios) ir pagal kokybės funkciją (nuo geriausios iki blogiausios).

Kaip matome iš pateiktų parametru, klasikinių dažnio sintezatorių kokybės funkcija yra didžiausia sub-mikroninėse (0,18  $\mu\text{m}$ , 0,13  $\mu\text{m}$ ) technologijose ir siekia –158,71 dBc/Hz, esant dažnio nuokrypiui virš 1 MHz, ir –134,71 dBc/Hz, esant dažnio nuokrypiui iki 1 MHz. Nanometrinėse technologijose

įgyvendinto klasikinės struktūros sintezatoriaus kokybės funkcijos didžiausia vertė yra –120,33 dBc/Hz.

Didžioji dalis visiškai skaitmeninių dažnio sintezatorių yra įgyvendinti nanometrinėse (40–90 nm) KMOP technologijose. Visiškai skaitmeninių dažnio sintezatorių kokybės funkcija yra didesnė, esant mažesnei gamybos technologijai ir siekia –168,01 dBc/Hz, esant dažnio nuokrypiui didesniai nei 1 MHz, ir –124,70 dBc/Hz, kai dažnio nuokrypis yra iki 1 MHz.

Taigi nanometrinėse technologijose visiškai skaitmeninės struktūros dažnio sintezatoriai yra pranašesni už klasikinius. Tačiau didesnėse KMOP technologijose įgyvendinti klasikinės struktūros dažnio sintezatoriai yra lygiaverčiai arba pranašesni už visiškai skaitmeninius dažnio sintezatorius.

Verta paminėti, kad ne visi autoriai pateikia visus sintezatorių parametrus, todėl sudėtingėja kokybės funkcijos apskaičiavimas. Jei nebuvo pateiktas centrinis dažnis, kuriam esant buvo matuojamas fazinis triukšmas, skaičiuojant kokybės funkciją buvo imamas minimalus darbo ruožo dažnis. Taip pat skirtingi autoriai fazinio triukšmo vertes

2 lentelė. Visiškai skaitmeninės struktūros dažnio sintezatorių parametrai ir apskaičiuota kokybės funkcija  
Table 2. Parameters of All-Digital frequency synthesizers and calculated figure of merit

Šaltinis	$L_{hp}$ , nm	$F_{min}$ , GHz	$F_{max}$ , GHz	$F_{off}$ , MHz	$F_c$ , GHz	$\mathcal{L}\{\Delta f\}$ , dBc/Hz	$P$ , mW	$S$ , mm <sup>2</sup>	FOM, dBc/Hz
Liu, Chen <i>et al.</i> 2013	40	0,1	3	10	1	–114	9,1	0,0672	124,28
Liu, Chen <i>et al.</i> 2013	40	0,1	3	1	1	–94	9,1	0,0672	–105,28
Vercesi <i>et al.</i> 2012	55	1,5	2,1	20	1,8	–160	41,6	0,7	–168,01
Vercesi <i>et al.</i> 2012	55	1,5	2,1	0,1	1,8	–108	41,6	0,7	–118,31
Staszewski <i>et al.</i> 2011	65	0,8	1	20	0,92	–160	38,4	0,35	–167,65
Tasca <i>et al.</i> 2011	65	2,92	4,05	20	3,63	–139	4,5	0,22	–149,13
Ueda <i>et al.</i> 2012	65	4,7	6,1	1	3,87	–114,9	42,6	1,3	–124,70
Pavlovic, Bergervoet 2011	65	4,9	6,9	1	5,37	–114,2	22	1,3	–124,59
Takinami <i>et al.</i> 2011	65	2,6	4,5	0,2	4,13	–110	45	0,61	–120,97
Tasca <i>et al.</i> 2011	65	2,92	4,05	0,05	3,63	–102	4,5	0,22	–114,73
Zanuso <i>et al.</i> 2011	65	3	3,6	0,4	3,62	–104	80	0,4	–114,04
Pavlovic, Bergervoet 2011	65	4,9	6,9	0,01	5,37	–96,9	22	1,3	–109,29
Liu, Han <i>et al.</i> 2014	65	1,4	1,8	1	0,83	–98	11,3	0,65	–107,47
Pavlovic, Bergervoet 2011	65	4,9	6,9	0,001	5,37	–87,2	22	1,3	–100,59
Ueda <i>et al.</i> 2012	65	3,2	4,2	0,1	3,87	–88,2	41,4	1,3	–98,87
Ueda <i>et al.</i> 2012	65	1,6	2,1	0,01	3,87	–84,5	72,6	1,3	–95,62
Lee <i>et al.</i> 2012	90	3,57	4,35	6	4,08	–129	9,6	0,34	–139,17
Hung, Liu 2011	90	39,13	42,21	10	40	–103,9	46	0,3	–114,80
Lee <i>et al.</i> 2012	90	3,57	4,35	0,15	4,08	–97	9,6	0,34	–108,77
Hung, Liu 2011	90	39,13	42,21	1	40	–83,9	46	0,3	–95,80
Samarah <i>et al.</i> 2013	130	1,99	2,5	0,01	2	–107	15,2	0,43	–119,31
Pu <i>et al.</i> 2011	130	2,1	3,5	1	2,4	–102,5	12	0,8	–113,16

pateikia esant skirtingiems dažnio nuokrypiams nuo centrinio dažnio. Todėl lentelėse yra keli to pačio sintetatoriaus įrašai, esant skirtingiems fazinio triukšmo ir dažnio nuokrypiams nuo centrinio dažnio.

## Išvados

Dažnio sintetatoriumi dažniausiai yra naudojama fazės derinimo kilpa.

Yra du pagrindiniai fazės derinimo kilpos tipai:

- klasikinė fazės derinimo kilpa;
- visiškai skaitmeninė fazės derinimo kilpa.

Pagrindinis dėmesys projektuojant klasikinę FDK skiriamas galiai ir plotui mažinti, praleidžiamų dažnių ruožo pločiui padidinti ir dažnio suderinimo trukmei sumažinti. Pagrindinis dėmesys projektuojant visiškai skaitmenines FDK skiriamas kvantavimo triukšmui sumažinti.

Siekiant kiekybiškai palyginti įvairius dažnio sintetatorius, yra siūloma nauja kokybės funkcija, apimanti visus pagrindinius dažnio sintetatoriaus parametrus: fazinį triukšmą, darbinį dažnį, dažnio perderinimo ruožo plotį, vartojamąją galią, užimamą lusto plotą.

Iš apskaičiuotos dažnių sintetatorių kokybės funkcijos matyti, kad klasikinių dažnio sintetatorių kokybės funkcija yra didžiausia submikroninėse technologijose ir siekia  $-158,71$  dBc/Hz, esant dažnio nuokrypiui virš  $1$  MHz, ir  $-134,71$  dBc/Hz, esant dažnio nuokrypiui iki  $1$  MHz. Nanometrinėse technologijose įgyvendinto klasikinės struktūros sintetatoriaus kokybės funkcijos didžiausia vertė yra  $-120,33$  dBc/Hz.

Visiškai skaitmeninių dažnio sintetatorių kokybės funkcija yra didesnė, esant mažesnei gamybos technologijai ir siekia  $-168,01$  dBc/Hz, esant dažnio nuokrypiui didesniam nei  $1$  MHz, ir  $-124,70$  dBc/Hz, kai dažnio nuokrypis yra iki  $1$  MHz.

Nanometrinėse technologijose visiškai skaitmeninės struktūros dažnio sintetatoriai yra pranašesni už klasikinius, bet didesnė ( $0,18$   $\mu\text{m}$  ir  $0,13$   $\mu\text{m}$ ) KMOP technologijose įgyvendinti klasikinės struktūros dažnio sintetatoriai yra įgyaverčiai arba pranašesni už visiškai skaitmeninius.

## Literatūra

Cai, D.; Fu, H.; Ren, J.; Li, W.; Li, N.; Yu, H.; Yeo, K. S. 2013. A dividerless PLL with low power and low reference spur by aperture-phase detector and phase-to-analog converter, *IEEE Transactions on Circuits and Systems I: Regular Papers* 60(1): 37–50. <http://dx.doi.org/10.1109/TCSI.2012.2215751>

Chen, H. K.; Wang, T.; Lu, S. S. 2011. A millimeter-wave CMOS triple-band phase-locked loop with a multimode LC-based ILFD, *IEEE Transactions on Microwave Theory and Techniques* 59(5): 1327–1338. <http://dx.doi.org/10.1109/TMTT.2011.2117434>

Chen, X.; Chen, Y. 2011. A 9.95–11.5 Gb/s full rate CDR with jitter attenuation PLL in 65-nm CMOS technology, in *2011 IEEE 13th International Conference on Communication Technology (ICCT)*, 25–28 September 2011, Jinan, China, 273–276.

Chen, Y.; Kang, K.; Tian, T.; Wang, W.; Tang, Z. 2011. A 29.5 to 31.7 GHz PLL in 65 nm CMOS technology, in *2011 IEEE Electrical Design of Advanced Packaging and Systems Symposium (EDAPS)*, 12–14 December 2011, Hanzhou, China, 1–5.

Cheng, K. H.; Tsai, Y. C.; Lo, Y. L.; Huang, J. S. 2011. A 0.5-V 0.4–2.24-GHz inductorless phase-locked loop in a system-on-chip, *IEEE Transactions on Circuits and Systems I: Regular Papers*, 58(5): 849–859. <http://dx.doi.org/10.1109/TCSI.2010.2089559>

Cowan, G. E.; Williams, C. 2013. Phase-locked loop architecture for enhanced voltage-controlled oscillator phase-noise suppression, in *2013 IEEE International Symposium on Circuits and Systems (ISCAS)*, 19–23 May 2013, Beijing, China, 2476–2479. <http://dx.doi.org/10.1109/ISCAS.2013.6572381>

Hedayati, H.; Bakkaloglu, B. 2012. A 3 GHz wideband fractional-N synthesizer with switched-RC sample-and-hold PFD, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* 20(9): 1681–1690.

Hua, S.; Yang, H.; Liu, Y.; Li, Q.; Wang, D. 2012. A power and area efficient CMOS charge-pump phase-locked loop, in *2012 IEEE 11th International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, 29 October – 1 November 2012, Xi'an, China, 1–3.

Huang, M.; Yu, C. H.; Tsai, J. H.; Huang, T. W. 2012. A low-power 24 GHz phase lock loop with gain-boosted charge pump embedded in  $0.18$   $\mu\text{m}$  CMOS technology, in *2012 Asia Pacific Microwave Conference Proceedings*, 4–7 December 2012, Kaohsiung, Taiwan, 643–645. <http://dx.doi.org/10.1109/APMC.2012.6421689>

Hung, C. C.; Liu, S. I. 2011. A 40-GHz fast-locked all-digital phase-locked loop using a modified bang-bang algorithm, *IEEE Transactions on Circuits and Systems II: Express Briefs* 58(6): 321–325. <http://dx.doi.org/10.1109/TCSII.2011.2149610>

Jakobsson, A.; Grewing, C.; Serban, A.; Gong, S. 2013. Frequency synthesizer with dual loop frequency and gain calibration, *IEEE Transactions on Circuits and Systems I: Regular Papers* 60(11): 2911–2919. <http://dx.doi.org/10.1109/TCSI.2013.2256191>

Jin, J.; Liu, X.; Qin, P.; Zhou, J. 2011. A  $\Delta\Sigma$  fractional-N PLL with fast Auto-Frequency Calibration for CMMB tuners, in *2011 13th International Symposium on Integrated Circuits (ISIC)*, 12–14 December, 2011, Singapore, 539–542.

Lee, J. Y.; Park, M. J.; Min, B. H.; Kim, S.; Park, M. Y.; Yu, H. K. 2012. A 4-GHz all digital PLL with low-power TDC and phase-error compensation, *IEEE Transactions on Circuits and Systems I: Regular Papers* 59(8): 1706–1719. <http://dx.doi.org/10.1109/TCSI.2012.2206500>

Li, Z.; Jiang, Y.; Shu, H.; Hou, N. 2011. A 5-GHz frequency synthesizer with AFC for low IF ZigBee transceiver applications, in *2011 IEEE 9th International New Circuits and Systems Conference (NEWCAS)*, 26–29 June 2011, Bordeaux, France, 530–533.

- Liao, T. W.; Su, J. R.; Hung, C. C. 2013. Ring-VCO based low noise and low spur frequency synthesizer, in *2013 IEEE International Symposium on Circuits and Systems (ISCAS)*, 19–23 May 2013, Beijing, China, 1861–1864. <http://dx.doi.org/10.1109/ISCAS.2013.6572228>
- Liu, X.; McDonald, J. F. 2012. A wide band locking range quarter-phase generator PLL using 0.13  $\mu\text{m}$  BiCMOS technology, in *2012 IEEE Computer Society Annual Symposium on VLSI (ISVLSI)*, 19–21 August 2012, Amherst, MA, United States, 131–134.
- Liu, Y. C.; Chen, W. Z.; Chou, M. H.; Tsai, T. H.; Lee, Y. W.; Yuan, M. S. 2013. A 0.1–3GHz cell-based fractional-N all digital phase-locked loop using  $\Delta\Sigma$  noise-shaped phase detector, in *Proceedings of the IEEE 2013 Custom Integrated Circuits Conference*, 22–25 September 2013, San Jose, CA, United States, 1–4.
- Liu, Y.; Han, Y.; Rhee, W.; Oh, T. Y.; Wang, Z. 2014. A PSRR enhancing method for GRO TDC based clock generation systems, *IEEE Transactions on Circuits and Systems I: Regular Papers* 61(3): 680–688. <http://dx.doi.org/10.1109/TCSI.2013.2284177>
- Meng, X.; Huang, L.; Chen, L.; Lin, F. 2011. Area efficiency PLL design using capacitance multiplication based on self-biased architecture, in *2011 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT)*, 30 November – 2 December 2011, Beijing, China, 193–196.
- Pavlovic, N.; Bergervoet, J. 2011. A 5.3 GHz digital-to-time-converter-based fractional-N all-digital PLL, in *2011 IEEE International Solid-State Circuits Conference*, 20–24 February 2011, San Francisco, CA, United States, 54–56.
- Plessas, F.; Panagiotopoulos, V.; Kalenteridis, V.; Souliotis, G.; Liakou, F.; Koutsomitsos, S.; Analogies, S. A. 2011. A 60-GHz quadrature PLL in 90nm CMOS, in *2011 18th IEEE International Conference on Circuits and Systems (ICECS)*, 11–14 December 2011, Beirut, Lebanon, 350–353.
- Pu, Y.; Park, A.; Park, J. S.; Lee, K. Y. 2011. Low-power, all digital phase-locked loop with a wide-range, high resolution TDC, *ETRI Journal* 33(3): 366–373. <http://dx.doi.org/10.4218/etrij.11.0110.0295>
- Samarah, A.; Carusone, A. C. 2013. A digital phase-locked loop with calibrated coarse and stochastic fine TDC, *IEEE Journal of Solid-State Circuits* 48(8): 1829–1841. <http://dx.doi.org/10.1109/JSSC.2013.2259031>
- Shekhar, S.; Gangopadhyay, D.; Woo, E. C.; Allstot, D. J. 2011. A 2.4-GHz extended-range Type-I fractional-synthesizer with 1.8-MHz loop bandwidth and 110-dBc/Hz phase noise, *IEEE Transactions on Circuits and Systems II: Express Briefs* 58(8): 472–476. <http://dx.doi.org/10.1109/TCSII.2011.2158752>
- Shin, J.; Shin, H. 2012. A 1.9–3.8 GHz fractional-N PLL frequency synthesizer with fast auto-calibration of loop bandwidth and VCO frequency, *IEEE Journal of Solid-State Circuits* 47(3): 665–675. <http://dx.doi.org/10.1109/JSSC.2011.2179733>
- Staszewski, R. B.; Waheed, K.; Dulger, F.; Eliezer, O. E. 2011. Spur-free multirate all-digital PLL for mobile phones in 65 nm CMOS, *IEEE Journal of Solid-State Circuits* 46(12): 2904–2919. <http://dx.doi.org/10.1109/JSSC.2011.2162769>
- Takinami, K.; Strandberg, R.; Liang, P. C.; de Mercey, G. L. G.; Wong, T.; Hassibi, M. 2011. A rotary-traveling-wave-oscillator-based all-digital PLL with a 32-phase embedded phase-to-digital converter in 65nm CMOS, in *2011 IEEE International Solid-State Circuits Conference*, 20–24 February 2011, San Francisco, CA, United States, 100–102.
- Tasca, D.; Zanuso, M.; Marzin, G.; Levantino, S.; Samori, C.; Lacaita, A. L. 2011. A 2.9–4.0-GHz Fractional-N digital PLL with bang-bang phase detector and 560-integrated jitter at 4.5-mW power, *IEEE Journal of Solid-State Circuits* 46(12): 2745–2758. <http://dx.doi.org/10.1109/JSSC.2011.2162917>
- Ueda, K.; Uozumi, T.; Endo, R.; Nakamura, T.; Heima, T.; Sato, H. 2012. A digital PLL with two-step closed-locking for multi-mode/multi-band SAW-less transmitter, in *2012 IEEE Custom Integrated Circuits Conference (CICC)*, 9–12 September 2012, San Jose, CA, United States, 1–4.
- Vercesi, L.; Fanori, L.; De Bernardinis, F.; Liscidini, A.; Castello, R. 2012. A dither-less all digital PLL for cellular transmitters, *IEEE Journal of Solid-State Circuits* 47(8): 1908–1920. <http://dx.doi.org/10.1109/JSSC.2012.2197130>
- Xiushan, W.; Changhong, H.; Zhiqiang, C.; Li, W.; Lanfang, P. 2011. A monolithic 0.18  $\mu\text{m}$  CMOS frequency synthesizer for WLAN 802.11a application, in *2011 3rd International Conference on Computer Research and Development (ICCRD)*, 11–13 March 2011, Shanghai, China, 434–438.
- Yin, W.; Inti, R.; Elshazly, A.; Young, B.; Hanumolu, P. K. 2011. A 0.7-to-3.5 GHz 0.6-to-2.8 mW highly digital phase-locked loop with bandwidth tracking, *IEEE Journal of Solid-State Circuits* 46(8): 1870–1880. <http://dx.doi.org/10.1109/JSSC.2011.2157259>
- Zanuso, M.; Levantino, S.; Samori, C.; Lacaita, A. L. 2011. A Wideband 3.6 GHz digital  $\Delta\Sigma$  fractional-N PLL with phase interpolation divider and digital spur cancellation, *IEEE Journal of Solid-State Circuits* 46(3): 627–638. <http://dx.doi.org/10.1109/JSSC.2010.2104270>

## ANALYSIS OF FREQUENCY SYNTHESISERS FOR MULTISTANDART WIRELESS TRANSCEIVER

M. Jurgo, R. Navickas

Abstract

Frequency synthesiser is one of most important blocks in wireless transceiver. Generally phase locked loop (PLL) is used as frequency synthesiser in multistandart wireless transceivers. Two main structures of PLL are conventional (mixed, charge pump) PLL and All-Digital PLL. Newest works, related to design of conventional PLLs, are oriented to minimise power consumption and chip size, increase loop bandwidth and decrease frequency locking time. Main focus of All-Digital PLLs design is to reduce quantisation noise. New figure of merit (FOM) is proposed to compare frequency synthesisers of different type. This function depends on all main parameters of frequency synthesizer for multistandart transceiver: phase noise, operation frequency, frequency tuning range, power dissipation, used area of silicon. Used CMOS technology is also assessed in proposed FOM. From the calculated FOM value for newest published frequency synthesisers it is seen, that in nanometric technologies All-Digital frequency synthesisers are superior to conventional synthesisers. Although, performance of conventional frequency synthesisers, implemented in larger technologies (0.18  $\mu\text{m}$  or 0.13  $\mu\text{m}$ ), is comparable or better than performance of All-Digital synthesisers.

**Keywords:** frequency synthesizer, high-frequency, phase-locked loop, voltage-controlled oscillator, charge pump, divider, time-to-digital converter, CMOS, figure of merit.